

日 本 国 特 許  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年10月 4日

出 願 番 号  
Application Number:

特願2002-292850

[ST.10/C]:

[JP2002-292850]

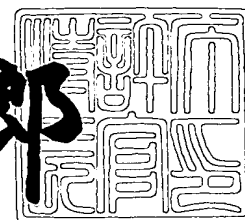
出 願 人  
Applicant(s):

パイオニア株式会社  
パイオニア・ディスプレイ・プロダクツ株式会社

2003年 6月30日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3051426

【書類名】 特許願

【整理番号】 57P0163

【提出日】 平成14年10月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01J 17/49

【発明の名称】 表示装置及び表示パネルの駆動方法

【請求項の数】 27

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア  
株式会社 甲府事業所内

【氏名】 矢作 和男

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア  
株式会社 甲府事業所内

【氏名】 北川 満志

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア  
株式会社 甲府事業所内

【氏名】 三枝 信彦

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア  
株式会社 甲府事業所内

【氏名】 岩岡 繁

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア  
株式会社 甲府事業所内

【氏名】 徳永 勉

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア

株式会社 甲府事業所内

【氏名】 鈴江 亮

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【特許出願人】

【識別番号】 398050283

【氏名又は名称】 静岡パイオニア株式会社

【代理人】

【識別番号】 100079119

【弁理士】

【氏名又は名称】 藤村 元彦

【手数料の表示】

【予納台帳番号】 016469

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006557

【包括委任状番号】 0011750

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置及び表示パネルの駆動方法

【特許請求の範囲】

【請求項 1】 入力映像信号に基づく各画素毎の画素データに応じて画像表示を行う表示装置であって、

放電空間を挟んで対向配置された前面基板及び背面基板と、前記前面基板の内面に設けられている複数の行電極対と、前記背面基板の内面において前記行電極対に交叉して配列された複数の列電極とを有し、前記行電極対及び前記列電極の各交差部に、前記行電極対を為す行電極各々が前記放電空間内において第 1 放電間隙を介して対向して配置されている部分を含む第 1 放電セルと、光吸収層が前面基板側に設けられておりかつ前記行電極対における一方の行電極及びこの行電極対に隣接する前記行電極対における一方の行電極各々が互いに前記放電空間内において第 2 放電間隙を介して対向して配置されている部分を含む第 2 放電セルとからなる単位発光領域が形成されている表示パネルと、

前記画素データに基づく画素データパルスを前記列電極各々に印加しつつ前記第 2 放電セル内における前記行電極各々の内の前記第 1 放電セルまでの距離が大なる方の行電極に走査パルス印加することにより選択的に前記第 2 放電セル内においてアドレス放電を生起せしめて前記第 2 放電セルを点灯セル状態及び消灯セル状態のいずれか一方に設定するアドレス手段と、を有することを特徴とする表示装置。

【請求項 2】 前記第 2 放電セル内における前記行電極各々に交互にプライミングパルス印加して前記点灯セル状態にある前記第 2 放電セルのみでプライミング放電を生起せしめることにより前記第 1 放電セル側に放電を拡張してこの第 1 放電セルを点灯セル状態に設定するプライミング拡張手段と、

前記第 1 放電セル内における前記行電極各々に交互にサステインパルスを繰り返し印加して前記点灯セル状態にある前記第 1 放電セルのみでサステイン放電を生起せしめるサステイン手段と、を更に備えたことを特徴とする表示装置。

【請求項 3】 前記第 2 放電間隙は、前記第 2 放電セル内における前記行電極各々の中間位置よりも前記第 1 放電セル側に偏倚した位置に形成されているこ

とを特徴とする請求項 1 記載の表示装置。

【請求項 4】 前記行電極対を為す行電極の各々は、前記表示パネルの水平方向に伸張する本体部と、前記単位発光領域毎に前記本体部から前記水平方向とは交叉する方向に夫々突出する突起部とを備え、

前記第 1 放電セルは、前記行電極対を為す行電極各々の前記突起部が互いに前記放電空間内において前記第 1 間隙を介して対向する部分を含み、

前記第 2 放電セルは、前記行電極対における一方の行電極及びこの行電極対に隣接する行電極対における他方の行電極各々の前記突起部が互いに前記放電空間内において前記第 2 間隙を介して対向する部分を含むことを特徴とする請求項 1 記載の表示装置。

【請求項 5】 前記表示パネルの水平方向において互いに隣接する前記第 2 放電セル各々の前記放電空間は閉じられていると共に、前記表示パネルの水平方向において互いに隣接する前記第 1 放電セル各々の前記放電空間は連通していることを特徴とする請求項 1 記載の表示装置。

【請求項 6】 前記単位発光領域内における前記第 1 放電セル及び前記第 2 放電セル間は前記背面基板の内面上に形成されている隔壁によって仕切られており、前記隔壁と前記前面基板との隙間によって前記第 1 放電セル及び前記第 2 放電セル各々の前記放電空間が連通していることを特徴とする請求項 1 記載の表示装置。

【請求項 7】 前記第 1 放電セル内のみに放電によって発光する蛍光体層が形成されていることを特徴とする請求項 1 記載の表示装置。

【請求項 8】 前記第 2 放電セル内の前記背面基板側に 2 次電子放出材料層が形成されていることを特徴とする請求項 1 記載の表示装置。

【請求項 9】 前記アドレス放電に先立って、前記第 2 放電セル内における前記行電極各々の内の前記第 1 放電セルまでの距離が大なる方の行電極及び前記列電極間に前記列電極側が低電位となるようにリセットパルスを印加することにより全ての前記単位発光領域の前記第 2 放電セル内においてリセット放電を生起せしめるリセット手段を更に含むことを特徴とする請求項 1 記載の表示装置。

【請求項 10】 前記リセット手段は、前記表示パネルにおける奇数表示ラ

インに属する前記第2放電セル各々内において生起させる前記リセット放電と、前記表示パネルにおける偶数表示ラインに属する前記第2放電セル各々内において生起せしめる前記リセット放電とを時間的に分離して実行することを特徴とする請求項9記載の表示装置。

【請求項11】 前記アドレス手段は、前記表示パネルにおける奇数表示ラインに属する前記第2放電セル各々内において生起せしめる前記アドレス放電と、前記表示パネルにおける偶数表示ラインに属する前記第2放電セル各々内において生起せしめる前記アドレス放電とを時間的に分離して実行することを特徴とする請求項1記載の表示装置。

【請求項12】 前記リセットパルスは、前記サステインパルスに比して立ち上がり区間及び立ち下がり区間でのレベル推移が緩やかな波形を有することを特徴とする請求項2及び9記載の表示装置。

【請求項13】 前記サステイン放電終了後に前記行電極対各々に対して消去パルスを印加することにより前記第1放電セル内において消去放電を生起せしめる消去手段を更に含むことを特徴とする請求項2記載の表示装置。

【請求項14】 前記サステイン放電終了後に前記第2放電セル内の前記行電極各々の内の一方の行電極及びこの行電極に隣接する前記行電極対における一方の行電極間に電荷移動パルスを印加して前記サステイン放電の生起された前記第1放電セルとは対になる前記第2放電セルのみを放電せしめることにより、前記第1放電セルから前記第2放電セルに壁電荷を移動させる電荷移動手段を更に含むことを特徴とする請求項2記載の表示装置。

【請求項15】 放電空間を挟んで対向配置された前面基板及び背面基板と、前記前面基板の内面に設けられている複数の行電極対と、前記背面基板の内面において前記行電極対に交叉して配列された複数の列電極とを有し、前記行電極対及び前記列電極の各交差部に、前記行電極対を為す行電極各々が前記放電空間内において第1放電間隙を介して対向して配置されている部分を含む第1放電セルと、光吸収層が前面基板側に設けられておりかつ前記行電極対における一方の行電極及びこの行電極対に隣接する前記行電極対における一方の行電極各々が互いに前記放電空間内において第2放電間隙を介して対向して配置されている部分

を含む第2放電セルとからなる単位発光領域が形成されている表示パネルを、入力映像信号に基づく各画素毎の画素データに応じて駆動する表示パネルの駆動方法であって、

前記画素データに基づく画素データパルスを前記列電極各々に印加しつつ前記第2放電セル内における前記行電極各々の内の前記第1放電セルまでの距離が大なる方の行電極に走査パルス印加することにより選択的に前記第2放電セル内においてアドレス放電を生起せしめて前記第2放電セルを点灯セル状態及び消灯セル状態のいずれか一方に設定するアドレス行程と、

前記第2放電セル内における前記行電極各々に交互にプライミングパルス印加して前記点灯セル状態にある前記第2放電セルのみでプライミング放電を生起せしめることにより前記第1放電セル側に放電を拡張してこの第1放電セルを点灯セル状態に設定するプライミング拡張行程と、

前記第1放電セル内における前記行電極各々に交互にサステインパルスを繰り返し印加して前記点灯セル状態にある前記第1放電セルのみでサステイン放電を生起せしめるサステイン行程と、を有することを特徴とする表示パネルの駆動方法。

【請求項16】 前記第2放電間隙は、前記第2放電セル内における前記行電極各々の中間位置よりも前記第1放電セル側に偏倚した位置に形成されていることを特徴とする請求項15記載の表示パネルの駆動方法。

【請求項17】 前記行電極対を為す行電極の各々は、前記表示パネルの水平方向に伸張する本体部と、前記単位発光領域毎に前記本体部から前記水平方向とは交叉する方向に夫々突出する突起部とを備え、

前記第1放電セルは、前記行電極対を為す行電極各々の前記突起部が互いに前記放電空間内において前記第1間隙を介して対向する部分を含み、

前記第2放電セルは、前記行電極対における一方の行電極及びこの行電極対に隣接する行電極対における他方の行電極各々の前記突起部が互いに前記放電空間内において前記第2間隙を介して対向する部分を含むことを特徴とする請求項15記載の表示パネルの駆動方法。

【請求項18】 前記表示パネルの水平方向において互いに隣接する前記第

2 放電セル各々の前記放電空間は閉じられていると共に、前記表示パネルの水平方向において互いに隣接する前記第 1 放電セル各々の前記放電空間は連通していることを特徴とする請求項 1 5 記載の表示パネルの駆動方法。

【請求項 1 9】 前記単位発光領域内における前記第 1 放電セル及び前記第 2 放電セル間は前記背面基板の内面上に形成されている隔壁によって仕切られており、前記隔壁と前記前面基板との隙間によって前記第 1 放電セル及び前記第 2 放電セル各々の前記放電空間が連通していることを特徴とする請求項 1 5 記載の表示パネルの駆動方法。

【請求項 2 0】 前記第 1 放電セル内にのみに放電によって発光する蛍光体層が形成されていることを特徴とする請求項 1 5 記載の表示パネルの駆動方法。

【請求項 2 1】 前記第 2 放電セル内の前記背面基板側に 2 次電子放出材料層が形成されていることを特徴とする請求項 1 5 記載の表示パネルの駆動方法。

【請求項 2 2】 前記アドレス行程に先立って、前記第 2 放電セル内における前記行電極各々の内の前記第 1 放電セルまでの距離が大なる方の行電極及び前記列電極間に前記列電極側が低電位となるようにリセットパルスを印加することにより全ての前記単位発光領域の前記第 2 放電セル内においてリセット放電を生起せしめるリセット行程を更に含むことを特徴とする請求項 1 5 記載の表示パネルの駆動方法。

【請求項 2 3】 前記リセット行程は、前記表示パネルにおける奇数表示ラインに属する前記第 2 放電セル各々内において前記リセット放電を生起せしめる奇数行リセット行程と、前記表示パネルにおける偶数表示ラインに属する前記第 2 放電セル各々内において前記リセット放電を生起せしめる偶数行リセット行程とを時間的に分離して実行することを特徴とする請求項 2 2 記載の表示パネルの駆動方法。

【請求項 2 4】 前記アドレス行程は、前記表示パネルにおける奇数表示ラインに属する前記第 2 放電セル各々内において前記アドレス放電を生起せしめる奇数行アドレス行程と、前記表示パネルにおける偶数表示ラインに属する前記第 2 放電セル各々内において前記アドレス放電を生起せしめる偶数行アドレス行程とを時間的に分離して実行することを特徴とする請求項 1 5 記載の表示パネルの



駆動方法。

【請求項 25】 前記リセットパルスは、前記サステインパルスに比して立ち上がり区間及び立ち下がり区間でのレベル推移が緩やかな波形を有することを特徴とする請求項 15 及び 22 記載の表示パネルの駆動方法。

【請求項 26】 前記サステイン行程による前記サステイン放電の終了後に前記行電極対各々に対して消去パルスを印加することにより前記第 1 放電セル内において消去放電を生起せしめる消去行程を更に含むことを特徴とする請求項 15 記載の表示パネルの駆動方法。

【請求項 27】 前記サステイン行程による前記サステイン放電の終了後に前記第 2 放電セル内の前記行電極各々の内の一方の行電極及びこの行電極に隣接する前記行電極対における一方の行電極間に電荷移動パルスを印加して前記サステイン放電の生起された前記第 1 放電セルとは対になる前記第 2 放電セルのみを放電せしめることにより、前記第 1 放電セルから前記第 2 放電セルに壁電荷を移動させる電荷移動行程を更に含むことを特徴とする請求項 15 記載の表示パネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、表示パネルを搭載した表示装置及び表示パネルの駆動方法に関する。

【0002】

【従来の技術】

最近、2次元画像表示パネルとして、複数の放電セルがマトリクス状に配列されたプラズマディスプレイパネル（以下、PDPという）が注目されている。PDPは、デジタル映像信号によって直接駆動され、その表現し得る輝度の階調数は、当該デジタル映像信号に基づく各画素毎の画素データのビット数によって決まる。

【0003】

かかるPDPの階調表示方法としては、1フィールドの表示期間を複数のサブ

フィールドに分割して各セルを駆動するサブフィールド法が知られている。サブフィールド法においては、1フィールドの表示期間を複数のサブフィールドに分割し、各サブフィールド毎にPDPに対する発光駆動を実施する。各サブフィールドは、画素データに応じて各画素を点灯モード、又は消灯モードに設定するアドレス期間と、上記点灯モードにある画素のみをそのサブフィールドの重み付けに対応した期間だけ実際に点灯（発光）させる発光維持期間を含んでいる。すなわち、サブフィールド毎に、そのサブフィールド内において放電セルを発光させるか否かの設定が為され（アドレス期間）、点灯モードに設定された放電セルだけをそのサブフィールドに割り当てられている期間（発光維持期間）だけ発光させるのである。これにより、発光状態となるサブフィールドと、消灯（非発光）状態となるサブフィールドが混在する場合が生じ、1フィールド内の各サブフィールドで実施された発光期間の総和に応じた中間輝度が視覚されるのである。

#### 【0004】

図1は、PDPの発光駆動フォーマットの一例を模式的に示している（例えば、特許文献1参照）。

すなわち、映像信号における1フィールドは、12個のサブフィールドSF1～SF12に分割され、各サブフィールド毎にPDPに対する駆動が実施される。この際、各サブフィールドは、入力映像信号に基づいてPDPの各放電セルを”点灯放電セル状態”（すなわち、動作可能モード）及び”消灯放電セル状態”（すなわち、不動作モード）のいずれか一方に設定するアドレス行程Wcと、”点灯放電セル状態”にある放電セルのみを各サブフィールドの重み付けに対応した期間（回数）だけ発光させるサステイン行程Icとからなる。ただし、先頭のサブフィールドSF1においてのみで、PDPの全放電セルを”点灯放電セル状態”に初期化せしめる一斉リセット行程Rcを実行し、最後尾のサブフィールドSF12のみで消去行程Eを実行する。

#### 【0005】

図2は、画素データに後述する変換処理を施すことによって得られる画素駆動データGD、これに対応する階調及び放電セルの発光駆動パターンを示している（例えば、特許文献1参照）。

映像信号をサンプリングすることによって、例えば8ビットの画素データが得られる。得られた画素データは、多階調化処理がなされ、現階調数を維持しつつもそのビット数を4ビットに削減した多階調化処理画素データ $PD_S$ が生成される。多階調化処理画素データ $PD_S$ は、図2に示されるが如き変換テーブルに従って第1～第12ビットからなる画素駆動データ $GD$ に変換される。これら第1～第12ビットの各々は、上記したサブフィールド $SF1 \sim SF12$ の各々に対応するものである。

## 【0006】

図3は、図2に示される発光駆動フォーマットに従って、PDPの行電極及び列電極に印加される各種駆動パルスの印加タイミングを示す図である(例えば、特許文献1参照)。尚、図3においては、選択消去法(1リセット1選択消去アドレス法)によって駆動がなされる場合を示している。

まず、サブフィールド $SF1$ の一斉リセット行程 $Rc$ では、負極性のリセットパルス $RP_x$ が行電極 $X_1 \sim X_n$ に印加される。かかるリセットパルス $RP_x$ の印加と同時に、正極性のリセットパルス $RP_y$ が行電極 $Y_1 \sim Y_2$ に印加される。これらリセットパルス $RP_x$ 及び $RP_y$ の印加に応じて、PDPの全放電セルがリセット放電し、各放電セル内には一様に所定量の壁電荷が形成される。これにより、全ての放電セルは”点灯放電セル状態”に初期化される。

## 【0007】

次に、各サブフィールドのアドレス行程 $Wc$ では、画素駆動データビット $DB1 \sim DB12$ の論理レベルに対応した電圧を有する画素データパルス $DP$ を発生する。なお、画素駆動データビット $DB1 \sim DB12$ は、画素駆動データ $GD$ の第1～12ビット目に対応する。例えば、サブフィールド $SF1$ のアドレス行程 $Wc$ では、まず、画素駆動データビット $DB1$ を、その論理レベルに対応した電圧を有する画素データパルスに変換する。そして、第1行目に対応した $m$ 個の画素データパルスを画素データパルス群 $DP1_1$ 、第2行目に対応した $m$ 個の画素データパルスを画素データパルス群 $DP1_2$ 、第 $n$ 行目に対応した $m$ 個の画素データパルスを画素データパルス群 $DP1_n$ として、画素データパルス群 $DP1_1 \sim DP1_n$ の各々を順次、列電極 $D_1 \sim D_m$ に印加して行く。

## 【 0 0 0 8 】

更に、アドレス行程  $Wc$  では、上述した如き画素データパルス群  $DP$  の各印加タイミングと同一タイミングにて、負極性の走査パルス  $SP$  を行電極  $Y_1 \sim Y_n$  へ順次印加する。この際、走査パルス  $SP$  が印加された行電極と、高電圧の画素データパルスが印加された列電極との交差部の放電セルにのみ放電（選択消去放電）が生じ、その放電セル内に残存していた壁電荷が選択的に消去される。

## 【 0 0 0 9 】

かかる選択消去放電により、一斉リセット行程  $Rc$  において”点灯放電セル状態”に初期化された放電セルは、”消灯放電セル状態”に移行する。一方、上記選択消去放電の生起されなかった放電セルは、上記一斉リセット行程  $Rc$  にて初期化された状態、つまり”点灯放電セル状態”を維持する。

次に、各サブフィールドのサステイン行程  $Ic$  においては、図 3 に示すように、行電極  $X_1 \sim X_n$  及び  $Y_1 \sim Y_n$  に対して正極性の維持パルス  $IP_X$  及び  $IP_Y$  が交互に印加される。ここで、サステイン行程  $Ic$  において、維持パルス  $IP$  は、各サブフィールド  $SF1 \sim SF12$  毎の維持パルス  $IP$  の回数が所定の比率となるように印加される。例えば、図 1 に示す如く、各サブフィールド毎の維持パルス  $IP$  の回数比は、 $SF1:Sf2:Sf3:Sf4:Sf5:Sf6:Sf7:Sf8:Sf9:Sf10:Sf11:Sf12=1:2:4:7:11:14:20:25:33:40:48:50$  となる。

## 【 0 0 1 0 】

この際、壁電荷が残留したままとなっている放電セル、すなわち上記アドレス行程  $Wc$  において”点灯放電セル状態”に設定された放電セルのみが、上記維持パルス  $IP_X$  及び  $IP_Y$  が印加される度にサステイン放電する。よって、”点灯放電セル状態”に設定された放電セルは、上述した如くサブフィールド毎に割り当てられた回数分だけ、そのサステイン放電に伴う発光状態を維持する。

## 【 0 0 1 1 】

そして、最後尾のサブフィールド  $SF12$  のみで消去行程  $E$  が実行される。かかる消去行程  $E$  では、正極性の消去パルス  $AP$  を発生してこれを列電極  $D_1 \sim D_m$  に印加する。更に、かかる消去パルス  $AP$  の印加タイミングと同時に負極性の消去パルス  $EP$  を発生してこれを行電極  $Y_1 \sim Y_n$  各々に印加する。これら消去パル

スAP及びEPの同時印加により、PDPにおける全放電セル内において消去放電が生起され、全ての放電セル内に残存している壁電荷が消滅する。かかる消去放電により、PDPにおける全ての放電セルが“消灯放電セル状態”になるのである。

## 【0012】

以上述べた駆動法では、いずれか1のサブフィールドにおいてのみ、直前のサブフィールドで発光状態にある放電セルのみをアドレス行程において選択的に消去放電せしめている。これにより、先頭のサブフィールドから順に点灯させ、N個（例えば、12個）のサブフィールドでN+1階調表示（例えば、13階調表示）を行い、各サブフィールドにおける維持放電の総数によって入力映像信号によって表される輝度に応じた階調表示を実現するようにしている。

## 【0013】

ところが、PDPの駆動では、表示画像を担うサステイン放電の他にも、表示画像には関与しない発光を伴うリセット放電及びアドレス放電を生起させなければならない。よって、画像のコントラスト、特に暗い場面を表す画像表示時の暗コントラストが低下するという問題があった。

## 【0014】

## 【特許文献1】

特開2001-154630号公報(図6～図8)

## 【0015】

## 【発明が解決しようとする課題】

本発明は、かかる問題を解決すべく為されたものであり、暗コントラストを向上させることが可能な表示装置及び表示パネルの駆動方法を提供することを目的とするものである。

## 【0016】

## 【課題を解決するための手段】

請求項1記載による表示装置は、入力映像信号に基づく各画素毎の画素データに応じて画像表示を行う表示装置であって、放電空間を挟んで対向配置された前面基板及び背面基板と、前記前面基板の内面に設けられている複数の行電極対と

、前記背面基板の内面において前記行電極対に交叉して配列された複数の列電極とを有し、前記行電極対及び前記列電極の各交差部に、前記行電極対を為す行電極各々が前記放電空間内において第 1 放電間隙を介して対向して配置されている部分を含む第 1 放電セルと、光吸収層が前面基板側に設けられておりかつ前記行電極対における一方の行電極及びこの行電極対に隣接する前記行電極対における一方の行電極各々が互いに前記放電空間内において第 2 放電間隙を介して対向して配置されている部分を含む第 2 放電セルとからなる単位発光領域が形成されている表示パネルと、前記画素データに基づく画素データパルスを実記列電極各々に印加しつつ前記第 2 放電セル内における前記行電極各々の内の前記第 1 放電セルまでの距離が大なる方の行電極に走査パルスを印加することにより選択的に前記第 2 放電セル内においてアドレス放電を生起せしめて前記第 2 放電セルを点灯セル状態及び消灯セル状態のいずれか一方に設定するアドレス手段と、を有する。

#### 【 0 0 1 7 】

又、請求項 1 5 記載による表示パネルの駆動方法は、放電空間を挟んで対向配置された前面基板及び背面基板と、前記前面基板の内面に設けられている複数の行電極対と、前記背面基板の内面において前記行電極対に交叉して配列された複数の列電極とを有し、前記行電極対及び前記列電極の各交差部に、前記行電極対を為す行電極各々が前記放電空間内において第 1 放電間隙を介して対向して配置されている部分を含む第 1 放電セルと、光吸収層が前面基板側に設けられておりかつ前記行電極対における一方の行電極及びこの行電極対に隣接する前記行電極対における一方の行電極各々が互いに前記放電空間内において第 2 放電間隙を介して対向して配置されている部分を含む第 2 放電セルとからなる単位発光領域が形成されている表示パネルを、入力映像信号に基づく各画素毎の画素データに応じて駆動する表示パネルの駆動方法であって、前記画素データに基づく画素データパルスを前記列電極各々に印加しつつ前記第 2 放電セル内における前記行電極各々の内の前記第 1 放電セルまでの距離が大なる方の行電極に走査パルスを印加することにより選択的に前記第 2 放電セル内においてアドレス放電を生起せしめて前記第 2 放電セルを点灯セル状態及び消灯セル状態のいずれか一方に設定する。

アドレス行程と、前記第 2 放電セル内における前記行電極各々に交互にプライミングパルス印加して前記点灯セル状態にある前記第 2 放電セルのみでプライミング放電を生起せしめることにより前記第 1 放電セル側に放電を拡張してこの第 1 放電セルを点灯セル状態に設定するプライミング拡張行程と、前記第 1 放電セル内における前記行電極各々に交互にサステインパルスを繰り返し印加して前記点灯セル状態にある前記第 1 放電セルのみでサステイン放電を生起せしめるサステイン行程と、を有する。

【 0 0 1 8 】

【発明の実施の形態】

図 4 は、本発明による表示装置としてのプラズマディスプレイ装置の構成を示す図である。

図 4 に示すように、かかるプラズマディスプレイ装置は、プラズマディスプレイパネルとしての PDP 50、奇数 X 電極ドライバ 51、偶数 X 電極ドライバ 52、奇数 Y 電極ドライバ 53、偶数 Y 電極ドライバ 54、アドレスドライバ 55、及び駆動制御回路 56 から構成される。

【 0 0 1 9 】

PDP 50 には、表示画面における垂直方向に夫々伸張している帯状の列電極  $D_1 \sim D_m$  が形成されている。更に、PDP 50 には、表示画面における水平方向に夫々伸張している帯状の行電極  $X_2 \sim X_n$  及び行電極  $Y_1 \sim Y_n$  が、図 4 に示す如く交互にかつ番号順に配列して形成されている。一対の行電極、つまり行電極対  $(X_2, Y_2) \sim$  行電極対  $(X_n, Y_n)$  各々が PDP 50 における第 1 表示ライン～第  $(n-1)$  表示ラインを担う。各表示ラインと列電極  $D_1 \sim D_m$  各々との各交叉部（図 4 中の一点鎖線にて囲まれた領域）に、画素を担う画素セル PC が形成されている。すなわち、PDP 50 には、第 1 表示ラインに属する画素セル  $PC_{1,1} \sim PC_{1,m}$ 、第 2 表示ラインに属する画素セル  $PC_{2,1} \sim PC_{2,m}$ 、……、第  $(n-1)$  表示ラインに属する画素セル  $PC_{n-1,1} \sim PC_{n-1,m}$  がマトリクス状に配列されているのである。

【 0 0 2 0 】

図 5～図 8 は、PDP 50 の内部構造の一部を抜粋して示す図である。

尚、図5は、表示面側から眺めたPDP50の平面図である。又、図6は、図5に示されるV1-V1線から眺めたPDP50の断面図である。又、図7は、図5に示されるV2-V2線から眺めたPDP50の断面図である。又、図8は、図5に示されるW1-W1線から眺めたPDP50の断面図である。

## 【0021】

図5に示すように、行電極Yは、表示画面の水平方向に伸長する帯状のバス電極Yb(行電極Yの本体部)と、バス電極Ybに接続された複数の透明電極Yaとから構成される。バス電極Ybは例えば黒色の金属膜からなる。透明電極YaはITO等の透明導電膜からなり、バス電極Yb上における各列電極Dに対応した位置に夫々配置されている。透明電極Yaは、バス電極Ybとは直交する方向に伸張しており、その一端及び他端が夫々図5に示す如く幅広な形状になっている。すなわち、透明電極Yaは、行電極Yの本体部から突起した突起電極と捉えることができる。又、行電極Xは、表示画面の水平方向に伸長する帯状のバス電極Xb(行電極Xの本体部)と、バス電極Xbに接続された複数の透明電極Xaとから構成される。バス電極Xbは例えば黒色の金属膜からなる。透明電極XaはITO等の透明導電膜からなり、バス電極Xb上における各列電極Dに対応した位置に夫々配置されている。透明電極Xaは、バス電極Xbとは直交する方向に伸張しており、その一端及び他端が夫々図5に示す如く幅広な形状になっている。すなわち、透明電極Xaは、行電極Xの本体部から突起した突起電極と捉えることができる。上記透明電極Xa及びYa各々の幅広部が、図5に示す如く互いに所定幅の放電ギャップgを介して対向して配置されている。つまり、対を為す行電極X及びY各々の本体部から突起した突起電極としての透明電極Xa及びYaが互いに放電ギャップgを介して対向して配置されているのである。

## 【0022】

上記透明電極Ya及びバス電極Ybからなる行電極Yと、透明電極Xa及びバス電極Xbからなる行電極Xは、図6に示す如く、PDP50の表示面を担う前面ガラス基板10の裏面に形成されている。更に、これら行電極X及びYを被覆すべく、前面ガラス基板10の裏面には誘電体層11が形成されている。誘電体層11の表面における制御放電セルC2(後述する)各々に対応した位置には、誘



電体層 11 から背面側に向かって突出した嵩上げ誘電体層 12 が形成されている。嵩上げ誘電体層 12 は、黒色または暗色の顔料を含んだ帯状の光吸収層からなり、図 5 に示す如く表示面の水平方向に伸張して形成されている。嵩上げ誘電体層 12 の表面及び嵩上げ誘電体層 12 が形成されていない誘電体層 11 の表面は、MgO からなる図示しない保護層によって被覆されている。前面ガラス基板 10 に対して平行配置された背面基板 13 上には、夫々バス電極 Xb 及び Yb と直交する方向（垂直方向）に伸張している複数の列電極 D が互いに所定の間隙を開けて平行に配列されている。背面基板 13 には、列電極 D を被覆する白色の列電極保護層（誘電体層）14 が形成されている。列電極保護層 14 上には、第 1 横壁 15A、第 2 横壁 15B 及び縦壁 15C からなる隔壁 15 が形成されている。第 1 横壁 15A は、バス電極 Yb と対向した列電極保護層 14 上の位置において表示面の水平方向に伸張して形成されている。第 2 横壁 15B は、バス電極 Xb と対向した列電極保護層 14 上の位置において表示面の水平方向に伸張して形成されている。縦壁 15C は、バス電極 Xb (Yb) 上において等間隙に配置された透明電極 Xa (Ya) 各々の間の位置において夫々、バス電極 Xb (Yb) とは直交する方向に伸張して形成されている。又、図 6 に示すように、列電極保護層 14 上における嵩上げ誘電体層 12 に対向した領域（縦壁 15C、第 1 横壁 15A 及び第 2 横壁 15B 各々の側面を含む）には 2 次電子放出材料層 30 が形成されている。2 次電子放出材料層 30 は、仕事関数が低い（例えば 4.2 eV 以下）、いわゆる 2 次電子放出係数の高い高  $\gamma$  材料からなる層である。2 次電子放出材料層 30 として用いる材料としては、例えば MgO、CaO、SrO、BaO 等のアルカリ土類金属酸化物、Cs<sub>2</sub>O 等のアルカリ金属酸化物、CaF<sub>2</sub>、MgF<sub>2</sub> 等のフッ化物、TiO<sub>2</sub>、Y<sub>2</sub>O、あるいは、結晶欠陥や不純物ドーピングにより 2 次電子放出係数を高めた材料等がある。一方、列電極保護層 14 上における嵩上げ誘電体層 12 に対向した領域以外の領域（縦壁 15C、第 1 横壁 15A 及び第 2 横壁 15B 各々の側面を含む）には、図 6 に示す如く蛍光体層 16 が形成されている。蛍光体層 16 としては、赤色で発光する赤色蛍光層、緑色で発光する緑色蛍光層、及び青色で発光する青色蛍光層の 3 系統があり、各画素セル PC 毎にその割り当てが決まっている。上記 2 次電子放出材料層 30 及び蛍光体層 16 と、誘

電体層 11 との間には放電ガスが封入された放電空間が存在する。第 1 横壁 15 A、第 2 横壁 15 B 及び縦壁 15 C 各々の高さは図 6 及び図 8 に示す如く嵩上げ誘電体層 12 又は誘電体層 11 の表面に到達するほど高くはない。従って、図 6 に示すように第 2 横壁 15 B と嵩上げ誘電体層 12 との間には、放電ガスの流通が可能な隙間  $r$  が存在する。ところが、第 1 横壁 15 A 及び嵩上げ誘電体層 12 間には、放電ガスの流通を防ぐべくこの第 1 横壁 15 A に沿った方向に伸張した誘電体層 17 が形成されている。又、縦壁 15 C 及び嵩上げ誘電体層 12 間には、図 7 に示すように縦壁 15 C に沿った方向に断続的に誘電体層 18 が形成されている。

#### 【0023】

ここで、第 1 横壁 15 A 及び縦壁 15 C によって囲まれた領域(図 5 中の一点鎖線にて囲まれた領域)が画素を担う画素セル PC となる。又、図 5 及び図 6 に示すように、画素セル PC は第 2 横壁 15 B によって表示放電セル C1 及び制御放電セル C2 に区分けされる。表示放電セル C1 は、図 5 及び図 6 に示されるように、各表示ラインに対応した一対の行電極 X 及び Y 各々の透明電極 Xa 及び Ya と、蛍光体層 16 とを含む。一方、制御放電セル C2 は、嵩上げ誘電体層 12、2 次電子放出材料層 30、表示ラインに対応した行電極対の内の行電極 X の透明電極 Xa、並びに表示面の上方に隣接する表示ラインに対応した行電極対の内の行電極 Y の透明電極 Ya を含む。尚、図 5 に示す如く、透明電極 Xa の幅広部と透明電極 Xb の幅広部との間に設けられた放電ギャップ  $g$  は、表示放電セル C1 内ではバス電極 Xb 及び Yb 間の中間位置に形成されている。一方、制御放電セル C2 内では、放電ギャップ  $g$  はバス電極 Xb 及び Yb 間の中間位置よりも表示放電セル C1 側に偏倚した位置に形成されている。

#### 【0024】

又、図 6 に示す如く、表示面の上下方向(図 6 では左右方向)において互いに隣接する画素セル PC 各々の放電空間は、第 1 横壁 15 A 及び誘電体層 17 によって遮断されている。ところが、同一の画素セル PC に属する表示放電セル C1 及び制御放電セル C2 各々の放電空間は、図 6 に示す如き隙間  $r$  にて連通している。更に、表示面の左右方向において互いに隣接する制御放電セル C2 各々の放電

空間は、図7に示す如き嵩上げ誘電体層12及び誘電体層18によって遮断されているが、表示面の左右方向において互いに隣接する表示放電セルC1各々の放電空間は互いに連通している。

#### 【0025】

このように、PDP50に形成されている画素セル $PC_{1,1} \sim PC_{n-1,m}$ の各々は、互いにその放電空間が連通している表示放電セルC1及び制御放電セルC2から構成されている。

奇数X電極ドライバ51は、駆動制御回路56から供給されたタイミング信号に応じて、PDP50の行電極Xの内の奇数番号(図4に示す)が付されている行電極 $X_3, X_5, \dots, X_{n-2}$ 、及び $X_n$ 各々に、各種駆動パルス(後述する)を印加する。偶数X電極ドライバ52は、駆動制御回路56から供給されたタイミング信号に応じて、PDP50の行電極Xの内の偶数番号(図4に示す)が付されている行電極 $X_2, X_4, \dots, X_{n-3}$ 、及び $X_{n-1}$ 各々に各種駆動パルス(後述する)を印加する。奇数Y電極ドライバ53は、駆動制御回路56から供給されたタイミング信号に応じて、PDP50の行電極Yの内の奇数番号(図4に示す)が付されている行電極 $Y_1, Y_3, Y_5, \dots, Y_{n-2}$ 、及び $Y_n$ 各々に各種駆動パルス(後述する)を印加する。偶数Y電極ドライバ54は、駆動制御回路56から供給されたタイミング信号に応じて、PDP50の行電極Yの内の偶数番号(図4に示す)が付されている行電極 $Y_2, Y_4, \dots, Y_{n-3}$ 、及び $Y_{n-1}$ 各々に各種駆動パルス(後述する)を印加する。アドレスドライバ55は、駆動制御回路56から供給されたタイミング信号に応じて、PDP50の列電極 $D_1 \sim D_m$ に画素データパルス(後述する)を印加する。

#### 【0026】

駆動制御回路56は、先ず、入力映像信号を各画素毎に輝度レベルを表す例えば8ビットの画素データに変換し、この画素データに対して誤差拡散処理及びディザ処理を施す。例えば、当該誤差拡散処理では、先ず、画素データの上位6ビット分を表示データ、残りの下位2ビット分を誤差データとする。そして、周辺画素各々に対応した当該画素データの各誤差データを重み付け加算したものを、上記表示データに反映させる。かかる動作により、原画素における下位2ビット

分の輝度が上記周辺画素によって擬似的に表現され、それ故に8ビットよりも少ない6ビット分の表示データにて、上記8ビット分の画素データと同等の輝度階調表現が可能になる。そして、この誤差拡散処理によって得られた6ビットの誤差拡散処理画素データに対してディザ処理を施す。ディザ処理では、互いに隣接する複数の画素を1画素単位とし、この1画素単位内の各画素に対応した上記誤差拡散処理画素データに夫々、互いに異なる係数値からなるディザ係数を夫々割り当てて加算してディザ加算画素データを得る。かかるディザ係数の加算によれば、上記1画素単位で眺めた場合には、上記ディザ加算画素データの上位4ビット分だけでも8ビットに相当する輝度を表現することが可能となる。そこで、駆動制御回路56は、当該ディザ加算画素データの上位4ビット分を多階調化画素データ $PD_S$ とし、これを図9に示す如きデータ変換テーブルに従って第1～第15ビットからなる15ビットの画素駆動データ $GD$ に変換する。従って、8ビットで256階調を表現し得る画素データは、図9に示すように、全部で16パターンからなる15ビットの画素駆動データ $GD$ に変換される。次に、駆動制御回路56は、1画面分の画素駆動データ $GD_{1,1} \sim GD_{(n-1),m}$ 毎に、これら画素駆動データ $GD_{1,1} \sim GD_{(n-1),m}$ 各々を同一ビット桁同士にて分離することにより、

DB1：画素駆動データ $GD_{1,1} \sim GD_{(n-1),m}$ 各々の第1ビット目  
 DB2：画素駆動データ $GD_{1,1} \sim GD_{(n-1),m}$ 各々の第2ビット目  
 DB3：画素駆動データ $GD_{1,1} \sim GD_{(n-1),m}$ 各々の第3ビット目  
 DB4：画素駆動データ $GD_{1,1} \sim GD_{(n-1),m}$ 各々の第4ビット目  
 DB5：画素駆動データ $GD_{1,1} \sim GD_{(n-1),m}$ 各々の第5ビット目  
 DB6：画素駆動データ $GD_{1,1} \sim GD_{(n-1),m}$ 各々の第6ビット目  
 DB7：画素駆動データ $GD_{1,1} \sim GD_{(n-1),m}$ 各々の第7ビット目  
 DB8：画素駆動データ $GD_{1,1} \sim GD_{(n-1),m}$ 各々の第8ビット目  
 DB9：画素駆動データ $GD_{1,1} \sim GD_{(n-1),m}$ 各々の第9ビット目  
 DB10：画素駆動データ $GD_{1,1} \sim GD_{(n-1),m}$ 各々の第10ビット目

目

- 目 DB 1 1 : 画素駆動データ  $GD_{1,1} \sim GD_{(n-1),m}$  各々の第 1 1 ビット
- 目 DB 1 2 : 画素駆動データ  $GD_{1,1} \sim GD_{(n-1),m}$  各々の第 1 2 ビット
- 目 DB 1 3 : 画素駆動データ  $GD_{1,1} \sim GD_{(n-1),m}$  各々の第 1 3 ビット
- 目 DB 1 4 : 画素駆動データ  $GD_{1,1} \sim GD_{(n-1),m}$  各々の第 1 4 ビット
- 目 DB 1 5 : 画素駆動データ  $GD_{1,1} \sim GD_{(n-1),m}$  各々の第 1 5 ビット

の如き画素駆動データビット群 DB 1 ~ DB 1 5 を得る。

#### 【0027】

尚、画素駆動データビット群 DB 1 ~ DB 1 5 各々は、後述するサブフィールド SF 1 ~ SF 1 5 各々に対応したものである。駆動制御回路 5 6 は、サブフィールド SF 1 ~ SF 1 5 毎に、そのサブフィールドに対応した画素駆動データビット群 DB を 1 表示ライン分 (m 個) ずつアドレスドライバ 5 5 に供給する。

更に、駆動制御回路 5 6 は、図 1 0 に示す如き発光駆動シーケンスに従って DP 5 0 を駆動制御すべき各種タイミング信号を発生して、奇数 X 電極ドライバ 5 1、偶数 X 電極ドライバ 5 2、奇数 Y 電極ドライバ 5 3 及び偶数 Y 電極ドライバ 5 4 に供給する。

#### 【0028】

図 1 0 に示す発光駆動シーケンスでは、映像信号における各フィールドを 1 5 個のサブフィールド SF 1 ~ SF 1 5 に分割し、各サブフィールド毎に以下に示す如き各駆動行程を実行する。

先頭のサブフィールド SF 1 では、奇数行リセット行程  $R_{OD}$ 、奇数行アドレス行程  $WO_{OD}$ 、偶数行リセット行程  $R_{EV}$ 、偶数行アドレス行程  $WO_{EV}$ 、プライミング拡張行程 P I、サステイン行程 I 及び消去行程 E を順次実行する。サブフィールド SF 2 ~ SF 1 5 各々では、アドレス行程 WO、プライミング拡張行程 P I、サステイン行程 I 及び消去行程 E を順次実行する。

## 【0029】

図11は先頭のサブフィールドSF1、図12はSF2～SF15各々において、奇数X電極ドライバ51、偶数X電極ドライバ52、奇数Y電極ドライバ53、偶数Y電極ドライバ54及びアドレスドライバ55がPDP50に印加する各種駆動パルスとその印加タイミングを夫々示す図である。

まず、サブフィールドSF1の奇数行リセット行程 $R_{OD}$ では、奇数Y電極ドライバ53が、サステインパルス(後述する)に比して立ち下がり変化及び立ち上がり変化の緩やかな負極性の第1リセットパルス $RP_{Y1}$ を発生してPDP50の奇数の行電極 $Y_1$ 、 $Y_3$ 、 $Y_5$ 、 $\dots$ 、 $Y_n$ の各々に同時に印加する。この間、アドレスドライバ55は、正極性のリセットパルス $RP_D$ を発生して列電極 $D_1 \sim D_n$ の各々に同時に印加する。これら第1リセットパルス $RP_{Y1}$ 及びリセットパルス $RP_D$ の印加に応じて、奇数表示ラインに属する画素セル $PC_{1,1} \sim PC_{1,m}$ 、 $PC_{3,1} \sim PC_{3,m}$ 、 $\dots$ 、 $PC_{n-2,1} \sim PC_{n-2,m}$ 各々の制御放電セルC2内において第1リセット放電(書込放電)が生起される。つまり、図5及び図6に示す如き制御放電セルC2内の行電極Y及び列電極D間において第1リセット放電が生起され、この第1リセット放電により、上述した如き奇数表示ラインに属する画素セルPC各々の制御放電セルC2内に壁電荷が形成される。又、奇数行リセット行程 $R_{OD}$ では、上記第1リセットパルス $RP_{Y1}$ の印加後、引き続き奇数Y電極ドライバ53は、図11に示す如き正極性の第2リセットパルス $RP_{Y2}$ を奇数の行電極 $Y_1$ 、 $Y_3$ 、 $\dots$ 、 $Y_n$ の各々に同時に印加する。上記第2リセットパルス $RP_{Y2}$ の印加に応じて、奇数表示ラインに属する画素セルPC各々の制御放電セルC2内において第2リセット放電(消去放電)が生起される。つまり、図5及び図6に示す如き制御放電セルC2内の行電極Y及び列電極D間において第2リセット放電が生起され、この第2リセット放電により、奇数表示ラインに属する画素セルPC各々の制御放電セルC2内に形成されていた壁電荷が消滅する。この際、制御放電セルC2内の行電極X及び列電極D間に誤って放電が生起されないように、上記第2リセットパルス $RP_{Y2}$ と同一の印加タイミングにて、偶数X電極ドライバ52は、図11に示す如き正極性の誤放電防止パルス $GP_X$ を偶数の行電極 $X_2$ 、 $X_4$ 、 $X_6$ 、 $\dots$ 、 $X_{n-1}$ 各々に印加する。

## 【0030】

上記した如く、奇数行リセット行程 $R_{OD}$ では、PDP50の奇数表示ラインに属する画素セル $PC_{1,1} \sim PC_{1,m}$ 、 $PC_{3,1} \sim PC_{3,m}$ 、 $\dots$ 、 $PC_{n-2,1} \sim PC_{n-2,m}$ 各々の制御放電セルC2内から一斉に壁電荷を消滅させ、これら奇数表示ラインに属する画素セルPCを全て消灯セル状態に初期化する。

次に、サブフィールドSF1の奇数行アドレス行程 $WO_{OD}$ では、奇数Y電極ドライバ53が、負極性の走査パルスSPをPDP50の奇数の行電極 $Y_1$ 、 $Y_3$ 、 $Y_5$ 、 $\dots$ 、 $Y_{n-2}$ 各々に順次印加する。この間、アドレスドライバ55は、このサブフィールドSF1に対応した画素駆動データビット群DB1の内の奇数表示ラインに対応したものを、その論レベルに応じたパルス電圧を有する画素データパルスDPに変換する。例えば、アドレスドライバ55は、論理レベル1の画素駆動データビットを正極性の高電圧の画素データパルスDPに変換する一方、論理レベル0の画素駆動データビットを低電圧(0ボルト)の画素データパルスDPに変換する。そして、かかる画素データパルスDPを上記走査パルスSPの印加タイミングに同期して1表示ライン分(m個)ずつ列電極 $D_1 \sim D_m$ に印加して行く。つまり、アドレスドライバ55は、奇数表示ラインに対応した画素駆動データビット $DB1_{1,1} \sim DB1_{1,m}$ 、 $DB1_{3,1} \sim DB1_{3,m}$ 、 $\dots$ 、 $DB1_{n-2,1} \sim DB1_{n-2,m}$ を画素データパルス $DP_{1,1} \sim DP_{1,m}$ 、 $DP_{3,1} \sim DP_{3,m}$ 、 $\dots$ 、 $DP_{n-2,1} \sim DP_{n-2,m}$ に変換し、これらを1表示ライン分ずつ列電極 $D_1 \sim D_m$ に印加する。

この際、走査パルスSP及び高電圧の画素データパルスDPが印加された画素セルPCの制御放電セルC2内の列電極D及び行電極Y間において書込アドレス放電が生起され、この制御放電セルC2内に壁電荷が形成される。一方、走査パルスSPが印加されたものの高電圧の画素データパルスDPが印加されなかった画素セルPCの制御放電セルC2内では上記の如き書込アドレス放電は生起されない。尚、この間、偶数番号の付された行電極 $X_2$ 、 $X_4$ 、 $X_6$ 、 $\dots$ 、 $X_{n-1}$ 各々のバス電極Xb及び列電極D間において誤って放電が生起されないように、偶数X電極ドライバ52は、上記画素データパルスDPと同極性の電位をこれら偶数の行電極Xの各々に印加

する。

### 【0031】

上記した如く、奇数行アドレス行程 $WO_{OD}$ では、画素駆動データビット群 $DB_1$  (図9に示す画素駆動データ $GD$ の第1ビット)に応じて選択的に、 $PDP50$ の奇数表示ラインに属する画素セル $PC$ 各々の制御放電セル $C_2$ 内に書込アドレス放電を生起させて壁電荷を形成する。これにより、奇数表示ラインに属する画素セル $PC$ 各々を、仮点灯セル状態(制御放電セル $C_2$ 内に壁電荷有り)、又は消灯セル状態(制御放電セル $C_2$ 内に壁電荷無し)の一方に設定する。

### 【0032】

次に、サブフィールド $SF_1$ の偶数行リセット行程 $R_{EV}$ では、偶数 $Y$ 電極ドライバ54が、サステインパルス(後述する)に比して立ち下がり変化及び立ち上がり変化の緩やかな負極性の第1リセットパルス $RP_{Y1}$ を発生して $PDP50$ の偶数の行電極 $Y_2, Y_4, \dots, Y_{n-1}$ の各々に同時に印加する。この間、アドレスドライバ55は、正極性のリセットパルス $RP_D$ を発生して列電極 $D_1 \sim D_n$ の各々に同時に印加する。これら第1リセットパルス $RP_{Y1}$ 及びリセットパルス $RP_D$ の印加に応じて、偶数表示ラインに属する画素セル $PC_{2,1} \sim PC_{2,m}, PC_{4,1} \sim PC_{4,m}, \dots, PC_{n-1,1} \sim PC_{n-1,m}$ 各々の制御放電セル $C_2$ 内において第1リセット放電(書込放電)が生起される。つまり、図5及び図6に示す如き制御放電セル $C_2$ 内の行電極 $Y$ 及び列電極 $D$ 間において第1リセット放電が生起され、この第1リセット放電により、上述した如き偶数表示ラインに属する画素セル $PC$ 各々の制御放電セル $C_2$ 内に壁電荷が形成される。又、偶数行リセット行程 $R_{EV}$ では、上記第1リセットパルス $RP_{Y1}$ の印加後、引き続き偶数 $Y$ 電極ドライバ54は、図11に示す如き正極性の第2リセットパルス $RP_{Y2}$ を偶数の行電極 $Y_2, Y_4, \dots, Y_{n-1}$ の各々に同時に印加する。上記第2リセットパルス $RP_{Y2}$ の印加に応じて、偶数表示ラインに属する画素セル $PC$ 各々の制御放電セル $C_2$ 内において第2リセット放電(消去放電)が生起される。つまり、図5及び図6に示す如き制御放電セル $C_2$ 内の行電極 $Y$ 及び列電極 $D$ 間において第2リセット放電が生起され、この第2リセット放電により、偶数表示ラインに属する画素セル $PC$ 各々の制御放電セル $C_2$ 内に形成されていた壁電荷が消滅する。この際、



制御放電セルC 2内の行電極X及び列電極D間に誤って放電が生起されないように、上記第2リセットパルス $RP_{Y2}$ と同一の印加タイミングにて、奇数X電極ドライバ5 1は、図1 1に示す如き正極性の誤放電防止パルス $GP_X$ を奇数の行電極 $X_3$ 、 $X_5$ 、 $\dots$ 、 $X_n$ 各々に印加する。

### 【0033】

上記した如く、偶数行リセット行程 $RE_V$ では、PDP 50の偶数表示ラインに属する画素セル $PC_{2,1} \sim PC_{2,m}$ 、 $PC_{4,1} \sim PC_{4,m}$ 、 $\dots$ 、 $PC_{n-1,1} \sim PC_{n-1,m}$ 各々の制御放電セルC 2内から一斉に壁電荷を消滅させ、これら偶数表示ラインに属する画素セルPCを全て消灯セル状態に初期化する。

次に、サブフィールドSF 1の偶数行アドレス行程 $WO_{EV}$ では、偶数Y電極ドライバ5 4が、負極性の走査パルスSPを偶数の行電極 $Y_2$ 、 $Y_4$ 、 $\dots$ 、 $Y_{n-1}$ 各々に順次印加する。この間、アドレスドライバ5 5は、このサブフィールドSF 1に対応した画素駆動データビット群DB 1の内の偶数表示ラインに対応したものを、その論レベルに応じたパルス電圧を有する画素データパルスDPに変換する。例えば、アドレスドライバ5 5は、論理レベル1の画素駆動データビットを正極性の高電圧の画素データパルスDPに変換する一方、論理レベル0の画素駆動データビットを低電圧(0ボルト)の画素データパルスDPに変換する。そして、かかる画素データパルスDPを上記走査パルスSPの印加タイミングに同期して1表示ライン分(m個)ずつ列電極 $D_1 \sim D_m$ に印加して行く。つまり、アドレスドライバ5 5は、偶数表示ラインに対応した画素駆動データビット $DB_{1,2,1} \sim DB_{1,2,m}$ 、 $DB_{1,4,1} \sim DB_{1,4,m}$ 、 $\dots$ 、 $DB_{1,n-1,1} \sim DB_{1,n-1,m}$ を画素データパルス $DP_{2,1} \sim DP_{2,m}$ 、 $DP_{4,1} \sim DP_{4,m}$ 、 $\dots$ 、 $DP_{n-1,1} \sim DP_{n-1,m}$ に変換し、これらを1表示ライン分ずつ列電極 $D_1 \sim D_m$ に印加する。この際、走査パルスSP及び高電圧の画素データパルスDPが印加された画素セルPCの制御放電セルC 2内の列電極D及び行電極Y間において書込アドレス放電が生起され、この制御放電セルC 2内に壁電荷が形成される。一方、走査パルスSPが印加されたものの高電圧の画素データパルスDPが印加されなかった画素セルPCの制御放電セルC 2内では上記の如き書込アドレス放電は生起されないで、この制御放電セルC 2には壁電荷は形成されない。尚、この間、奇数番号の付さ

れた行電極 $X_3$ 、 $X_5$ 、 $\dots$ 、 $X_n$ 各々のバス電極 $X_b$ 及び列電極 $D$ 間において誤って放電が生起されないように、奇数 $X$ 電極ドライバ51は、上記画素データパルス $DP$ と同極性の電位をこれら奇数の行電極 $X$ の各々に印加する。

#### 【0034】

上記した如く、偶数行アドレス行程 $WO_{EV}$ では、画素駆動データビット群 $DB_1$ (図9に示す画素駆動データ $GD$ の第1ビット)に応じて選択的に、 $PDP50$ の偶数表示ラインに属する画素セル $PC$ 各々の制御放電セル $C_2$ 内に壁電荷を形成させる。これにより、偶数表示ラインに属する画素セル $PC$ 各々を、仮点灯セル状態(制御放電セル $C_2$ 内に壁電荷有り)、又は消灯セル状態(制御放電セル $C_2$ 内に壁電荷無し)の一方に設定する。

#### 【0035】

サブフィールド $SF_2 \sim SF_{15}$ 各々のアドレス行程 $WO$ では、奇数 $Y$ 電極ドライバ53及び偶数 $X$ 電極ドライバ54が、図12に示す如く負極性の走査パルス $SP$ を行電極 $Y_1$ 、 $Y_2$ 、 $Y_3$ 、 $\dots$ 、 $Y_{n-1}$ 各々に順次印加する。この間、アドレスドライバ55は、各サブフィールド $SF(j)$  [ $j$ は2～15の自然数]に対応した画素駆動データビット群 $DB(j)$ における各画素駆動データビットを、その論レベルに対応したパルス電圧を有する画素データパルス $DP$ に変換する。例えば、アドレスドライバ55は、論理レベル1の画素駆動データビットを正極性の高電圧の画素データパルス $DP$ に変換する一方、論理レベル0の画素駆動データビットを低電圧(0ボルト)の画素データパルス $DP$ に変換する。そして、かかる画素データパルス $DP$ を上記走査パルス $SP$ の印加タイミングに同期して1表示ライン分( $m$ 個)ずつ列電極 $D_1 \sim D_m$ に印加して行く。つまり、アドレスドライバ55は、画素駆動データビット $DB(j)_{1,1} \sim DB(j)_{1,m}$ 、 $DB(j)_{2,1} \sim DB(j)_{2,m}$ 、 $\dots$ 、 $DB(j)_{n-1,1} \sim DB(j)_{n-1,m}$ を画素データパルス $DP_{1,1} \sim DP_{1,m}$ 、 $DP_{2,1} \sim DP_{2,m}$ 、 $\dots$ 、 $DP_{n-1,1} \sim DP_{n-1,m}$ に変換し、これらを1表示ライン分ずつ列電極 $D_1 \sim D_m$ に印加する。この際、走査パルス $SP$ 及び高電圧の画素データパルス $DP$ が印加された画素セル $PC$ の制御放電セル $C_2$ 内の列電極 $D$ 及び行電極 $Y$ 間において書込アドレス放電が生起され、この制御放電セル $C_2$ 内に壁電荷が形成される。一方、走査パルス $SP$ が印加されたものの高電

圧の画素データパルスDPが印加されなかった画素セルPCの制御放電セルC2内には上記の如き書込アドレス放電は生起されないので、この制御放電セルC2には壁電荷は形成されない。

## 【0036】

上記した如く、アドレス行程WOでは、このアドレス行程WOが属するサブフィールドSF(j)に対応した画素駆動データGD中の第jビットの論理レベルに応じて選択的に、画素セルPC各々の制御放電セルC2内に壁電荷を形成させる。これにより、PDP50の画素セルPC各々を、仮点灯セル状態(制御放電セルC2内に壁電荷有り)、又は消灯セル状態(制御放電セルC2内に壁電荷無し)の一方に設定する。

## 【0037】

次に、サブフィールドSF1～SF15各々のプライミング拡張行程PIでは、奇数Y電極ドライバ53が正極性のプライミングパルスPP<sub>Y0</sub>を図11又は図12に示す如く断続的に繰り返し、奇数の行電極Y<sub>1</sub>、Y<sub>3</sub>、……、Y<sub>n</sub>各々に印加する。又、かかるプライミング拡張行程PIでは、奇数X電極ドライバ51が正極性のプライミングパルスPP<sub>X0</sub>を図11又は図12に示す如く断続的に繰り返し、奇数の行電極X<sub>3</sub>、X<sub>5</sub>、……、X<sub>n</sub>各々に印加する。又、プライミング拡張行程PIでは偶数X電極ドライバ52が、正極性のプライミングパルスPP<sub>XE</sub>を図11又は図12に示す如く断続的に繰り返し偶数の行電極X<sub>2</sub>、X<sub>4</sub>、……、X<sub>n-1</sub>各々に印加する。更に、プライミング拡張行程PIでは偶数Y電極ドライバ54が正極性のプライミングパルスPP<sub>YE</sub>を図11又は図12に示す如く断続的に繰り返し偶数の行電極Y<sub>2</sub>、Y<sub>4</sub>、……、Y<sub>n-1</sub>各々に印加する。これらプライミングパルスPP<sub>X0</sub>、PP<sub>XE</sub>、PP<sub>Y0</sub>、又はPP<sub>YE</sub>が印加される度に、仮点灯セル状態に設定されている画素セルPCの制御放電セルC2内の行電極X及びY間においてプライミング放電が生起される。この際、プライミング放電が生起される度に、図6に示す如き隙間rを介して表示放電セルC1側に放電が拡張し、表示放電セルC1内に壁電荷が形成される。

## 【0038】

上記した如く、プライミング拡張行程PIでは、上記奇数行アドレス行程WO

OD、偶数行アドレス行程 $WO_{EV}$ 、又はアドレス行程 $WO$ において仮点灯セル状態に設定された制御放電セル $C2$ に対して繰り返しプライミング放電を生起させることにより、表示放電セル $C1$ 側に徐々に放電を拡張する。かかる放電拡張により表示放電セル $C1$ 内に壁電荷が形成され、この表示放電セル $C1$ が属する画素セル $PC$ は点灯セル状態に設定される。一方、上記の如き各種アドレス行程において消灯セル状態に設定された制御放電セル $C2$ ではプライミング放電は生起されない。よって、この制御放電セル $C2$ と連通する表示放電セル $C1$ 内には壁電荷が形成されないため、画素セル $PC$ は消灯セル状態に設定される。

### 【0039】

次に、サブフィールド $SF1 \sim SF15$ 各々のサステイン行程 $I$ では、奇数 $Y$ 電極ドライバ $53$ が図11又は図12に示す如き正極性のサステインパルス $IP_{Y0}$ を、このサステイン行程 $I$ の属するサブフィールドに割り当てられている回数だけ繰り返し、奇数の行電極 $Y_1, Y_3, Y_5, \dots, Y_n$ 各々に印加する。かかるサステインパルス $IP_{Y0}$ 各々と同一タイミングにて、偶数 $X$ 電極ドライバ $52$ は、正極性のサステインパルス $IP_{XE}$ をこのサステイン行程 $I$ の属するサブフィールドに割り当てられている回数だけ繰り返し、偶数の行電極 $X_2, X_4, \dots, X_{n-1}$ 各々に印加する。又、サステイン行程 $I$ では、奇数 $X$ 電極ドライバ $51$ が図11又は図12に示す如き正極性のサステインパルス $IP_{X0}$ をこのサステイン行程 $I$ の属するサブフィールドに割り当てられている回数だけ繰り返し、奇数の行電極 $X_3, X_5, \dots, X_n$ 各々に印加する。更に、かかるサステイン行程 $I$ では、偶数 $Y$ 電極ドライバ $54$ が、正極性のサステインパルス $IP_{YE}$ をこのサステイン行程 $I$ の属するサブフィールドに割り当てられている回数だけ繰り返し、偶数の行電極 $Y_2, Y_4, \dots, Y_{n-1}$ 各々に印加する。尚、図11又は図12に示すように、上記サステインパルス $IP_{XE}$ 及び $IP_{Y0}$ と、上記サステインパルス $IP_{X0}$ 及び $IP_{YE}$ とは、その印加タイミングが互いにずれている。上記サステインパルス $IP_{X0}$ 、 $IP_{XE}$ 、 $IP_{Y0}$ 又は $IP_{YE}$ が印加される度に、点灯セル状態に設定された画素セル $PC$ の表示放電セル $C1$ 内の透明電極 $Xa$ 及び $Ya$ 間においてサステイン放電が生起される。この際、かかるサステイン放電にて発生した紫外線により、図6に示す如く表示放電セル $C1$ に形成されている蛍光体層 $16$ （赤色

蛍光層、緑色蛍光層、青色蛍光層)が励起し、その蛍光色に対応した光が前面ガラス基板10を介して放射される。つまり、このサステイン行程Iの属するサブフィールドに割り当てられている回数分だけ、サステイン放電に伴う発光が繰り返し生起されるのである。

#### 【0040】

上記した如く、サステイン行程Iでは、点灯セル状態に設定された画素セルPCのみを、サブフィールドに割り当てられている回数分だけ繰り返し発光させる。

そして、サブフィールドSF1～SF15各々の消去行程Eでは、奇数X電極ドライバ51、偶数X電極ドライバ52、奇数Y電極ドライバ53、偶数Y電極ドライバ54及びアドレスドライバ55が図11又は図12に示す如き正極性の消去パルスを用いて全ての行電極X及びYに印加する。消去パルスの印加に応じて、壁電荷の残留している全ての制御放電セルC2内で消去放電が生起され、この壁電荷が消去される。

#### 【0041】

このように、消去行程Eでは、壁電荷の残留している制御放電セルC2のみで消去放電を生起させることにより、全ての制御放電セルC2内の電荷形成状態を均一な状態に初期化する。

ここで、図9に示す16通りの画素駆動データGDに基づき、図10～図12に示す如き駆動を実行すると、各フィールド内において、表現すべき中間輝度に対応した分だけ連続したサブフィールド各々のアドレス行程( $WO_{OD}$ 、 $WO_{EV}$ 、 $WO$ )にて書込アドレス放電(図9中に二重丸にて示す)が生起される。すなわち、画素セルPCは、表現すべき中間輝度に対応した分だけ連続したサブフィールド各々で点灯セル状態に設定され、これらサブフィールド各々のサステイン行程Iにおいてサステイン放電されるのである。この際、1フィールド内において生起されたサステイン放電の総数に対応した輝度が視覚される。すなわち、図9に示す如き第1～第16階調駆動による16種類の発光パターンによれば、二重丸にて示されるサブフィールドにおいて生起された放電の合計回数に応じた16階調分の中間輝度が表現されるのである。

## 【0042】

ここで、図4に示すプラズマディスプレイ装置においては、PDP50の各画素を担う画素セルPCを図5及び図6に示す如く表示放電セルC1及び制御放電セルC2にて構築するようにしている。そして、表示画像に關与するサステイン放電を表示放電セルC1にて生起させる一方、表示画像には關与しない発光を伴うリセット放電、プライミング放電及びアドレス放電は、制御放電セルC2にて生起させるようにしている。この際、制御放電セルC2には、この制御放電セルC2内で生起された上記各種放電に伴う光が前面ガラス基板10を通過して外部に漏れるのを防ぐべく、黒色または暗色の顔料を含んだ光吸収層からなる嵩上げ誘電体層12が形成されている。よって、リセット放電、プライミング放電及びアドレス放電に伴う放電光は嵩上げ誘電体層12によって遮断されるので、表示画像のコントラスト、特に、暗コントラストを高めることが可能になる。更に、制御放電セルC2内には、その背面基板13側に図6に示す如く2次電子放出材料層30を設けている。2次電子放出材料層30によれば、制御放電セルC2内の列電極D及び行電極Y間における放電開始電圧及び放電維持電圧は、表示放電セルC1内の列電極D及び行電極Y間での放電開始電圧及び放電維持電圧よりも低くなる。つまり、表示放電セルC1は、制御放電セルC2に比して放電開始電圧及び放電維持電圧が高くなるのである。よって、制御放電セルC2内において繰り返しプライミング放電を生起させることにより表示放電セルC1側に放電を拡張するプライミング拡張行程PIを実行しても、表示放電セルC1内で生起される放電は微弱なものとなるので、暗コントラストの低下が抑制される。

## 【0043】

更に、図5に示す如く、制御放電セルC2内においては、行電極X及びY各々の本体部から突起した透明電極Xa及びYaにより、バス電極Xb及びYb間の中間位置よりもこの制御放電セルC2と対を為す表示放電セルC1側に偏倚した位置に放電ギャップgを設けるようにしている。従って、図11又は図12に示す如き駆動によると、制御放電セルC2内における放電ギャップgに対応した位置、例えば図6に示す位置Pにおいて上記プライミング放電が生起される。つまり、制御放電セルC2内において、この制御放電セルC2と対を為す表示放電セルC1側に放電ギャップgを設けるようにしている。

ルC1側に近い位置でプライミング放電が生起されるので、制御放電セルC2から表示放電セルC1への放電拡張が容易に為される。一方、リセット放電及び書込アドレス放電は、制御放電セルC2内の列電極D及び透明電極Y a間で生起させるようにしている。つまり、制御放電セルC2内において生起されるリセット放電及び書込アドレス放電は、この制御放電セルC2と対を為す表示放電セルC1までの距離が透明電極X aよりも大となる透明電極Y aと、列電極Dとの間で生起される。よって、これらリセット放電及びアドレス放電は、図6に示す如きプライミング放電の生起される位置Pよりも、この制御放電セルC2と対を為す表示放電セルC1から遠い位置Qにおいて生起されることになる。従って、リセット放電及びアドレス放電に伴う紫外線が表示放電セルC1側に漏れ込む量が低減し、暗コントラストの低下が抑制されるのである。

## 【0044】

制御放電セルC2内における放電ギャップgを表示放電セルC1側に近い位置に形成することにより、図5、図6に示す如く、制御放電セルC2内に面する透明電極Y aの幅広突出部の面積を制御放電セルC2内に面する透明電極X aの幅広突出部の面積よりも大きくできる。これにより、制御放電セルC2内における列電極D及び透明電極Y aの幅広突出部間で生起されるリセット放電、アドレス放電の安定性が増し、また、プライミング放電における表示放電セルC1の放電の移行などが容易となる。

## 【0045】

尚、上記実施例では、アドレス行程において各画素セルPC内に選択的に壁電荷を形成させる、いわゆる選択書込アドレス法を適用した場合について説明したが、各画素セルPCに形成されている壁電荷を選択的に消去する選択消去アドレス法を採用しても良い。

選択消去アドレス法に基づく駆動を行うにあたり、駆動制御回路56は、まず、入力映像信号を各画素毎に輝度レベルを表す例えば8ビットの画素データに変換し、この画素データに対して前述した如き誤差拡散処理及びディザ処理を施す。駆動制御回路56は、これら誤差拡散処理及びディザ処理により8ビットの画素データを4ビットの多階調化画素データPD<sub>S</sub>に変換し、更に、この多階調化

画素データ  $P D_S$  を図 13 に示す如きデータ変換テーブルに従って 15 ビットの画素駆動データ  $G D$  に変換する。尚、図 13 に示す変換テーブルに記載されている「\*」マークは、論理レベル 1 又は 0 のどちらでも良いことを表す。これにより、8 ビットで 256 階調を表現し得る画素データは、全部で 16 パターンからなる 15 ビットの画素駆動データ  $G D$  に変換される。次に、駆動制御回路 56 は、1 画面分の画素駆動データ  $G D_{1,1} \sim G D_{(n-1),m}$  毎に、これら画素駆動データ  $G D_{1,1} \sim G D_{(n-1),m}$  各々を同一ビット桁同士にて分離することにより、画素駆動データビット群  $D B 1 \sim D B 15$  を得る。駆動制御回路 56 は、サブフィールド  $S F 1 \sim S F 15$  毎に、そのサブフィールドに対応した画素駆動データビット群  $D B$  を 1 表示ライン分 ( $m$  個) ずつアドレスドライバ 55 に供給する。

## 【0046】

図 14 は、選択消去アドレス法を適用して PDP 50 を階調駆動する際の発光駆動フォーマットを示す図である。

図 14 に示す発光駆動シーケンスでは、映像信号における各フィールドを 15 個のサブフィールド  $S F 1 \sim S F 15$  に分割し、各サブフィールド毎に以下に示す如き各駆動行程を実行する。

## 【0047】

先頭のサブフィールド  $S F 1$  では、奇数行リセット行程  $R_{OD}$ 、奇数行アドレス行程  $W I_{OD}$ 、偶数行リセット行程  $R_{EV}$ 、偶数行アドレス行程  $W I_{EV}$ 、選択消去補助行程  $C A$ 、プライミング拡張行程  $P I$ 、サステイン行程  $I$ 、及び電荷移動行程  $M R$  を順次実行する。又、サブフィールド  $S F 2 \sim S F 15$  各々では、アドレス行程  $W I$ 、選択消去補助行程  $C A$ 、プライミング拡張行程  $P I$ 、サステイン行程  $I$ 、及び電荷移動行程  $M R$  を順次実行する。尚、最後尾のサブフィールド  $S F 15$  においては、電荷移動行程  $M R$  の直後に消去行程 (図示せぬ) を実行する。

## 【0048】

図 15 及び図 16 は、図 14 に示す発光駆動フォーマットに従って PDP 50 を駆動すべくこの PDP 50 に印加する各種駆動パルスと、その印加タイミングを示す図である。

先ず、サブフィールド  $S F 1$  の奇数行リセット行程  $R_{OD}$  では、奇数 Y 電極ドラ



イバ53が、サステインパルス(後述する)に比して立ち下がり変化及び立ち上がり変化の緩やかな負極性の第1リセットパルス $RP_{Y1}$ を発生してPDP50の奇数の行電極 $Y_1$ 、 $Y_3$ 、 $Y_5$ 、 $\dots$ 、 $Y_n$ の各々に同時に印加する。この間、アドレスドライバ55は、正極性のリセットパルス $RP_D$ を発生して列電極 $D_1 \sim D_n$ の各々に同時に印加する。これら第1リセットパルス $RP_{Y1}$ 及びリセットパルス $RP_D$ の印加に応じて、奇数表示ラインに属する画素セル $PC_{1,1} \sim PC_{1,m}$ 、 $PC_{3,1} \sim PC_{3,m}$ 、 $\dots$ 、 $PC_{n-2,1} \sim PC_{n-2,m}$ 各々の制御放電セルC2内において第1リセット放電(書込放電)が生起される。つまり、図5及び図6に示す如き制御放電セルC2内の行電極Y及び列電極D間において第1リセット放電が生起される。尚、上記第1リセットパルス $RP_{Y1}$ 及びリセットパルス $RP_D$ が印加されている間、偶数表示ラインに属する画素セルPCの制御放電セルC2内で誤って放電が生起されないように、偶数Y電極ドライバ54は、正極性の電位を偶数の行電極 $Y_2$ 、 $Y_4$ 、 $Y_6$ 、 $\dots$ 、 $Y_{n-1}$ 各々に印加する。更に、上記第1リセットパルス $RP_{Y1}$ の印加後、奇数Y電極ドライバ53は、引き続き図15に示す如き正極性の第2リセットパルス $RP_{Y2}$ を奇数の行電極 $Y_1$ 、 $Y_3$ 、 $\dots$ 、 $Y_n$ の各々に同時に印加する。上記第2リセットパルス $RP_{Y2}$ の印加に応じて、奇数表示ラインに属する画素セルPC各々の制御放電セルC2内において第2リセット放電(書込放電)が生起される。つまり、図5及び図6に示す如き制御放電セルC2内の行電極Y及び列電極D間において第2リセット放電が生起されるのである。上述した如き第1リセット放電及び第2リセット放電により、奇数表示ラインに属する画素セルPC各々の制御放電セルC2内に壁電荷が形成される。

#### 【0049】

上記した如く、奇数行リセット行程 $R_{OD}$ では、PDP50の奇数表示ラインに属する全ての画素セルPC各々の制御放電セルC2内において第1及び第2リセット放電を生起せしめて、奇数表示ラインに属する制御放電セルC2内に壁電荷を形成する。

次に、サブフィールドSF1の奇数行アドレス行程 $WI_{OD}$ では、奇数Y電極ドライバ53が、負極性の走査パルスSPをPDP50の奇数の行電極 $Y_1$ 、 $Y_3$ 、 $Y_5$ 、 $\dots$ 、 $Y_{n-2}$ 各々に順次印加する。この間、アドレスドライバ55は、この

サブフィールドSF1に対応した画素駆動データビット群DB1の内の奇数表示ラインに対応したものを、その論レベルに応じたパルス電圧を有する画素データパルスDPに変換する。例えば、アドレスドライバ55は、論理レベル1の画素駆動データビットを正極性の高電圧の画素データパルスDPに変換する一方、論理レベル0の画素駆動データビットを低電圧(0ボルト)の画素データパルスDPに変換する。そして、かかる画素データパルスDPを上記走査パルスSPの印加タイミングに同期して1表示ライン分(m個)ずつ列電極 $D_1 \sim D_m$ に印加して行く。つまり、アドレスドライバ55は、奇数表示ラインに対応した画素駆動データビット $DB1_{1,1} \sim DB1_{1,m}$ 、 $DB1_{3,1} \sim DB1_{3,m}$ 、 $\dots$ 、 $DB1_{n-2,1} \sim DB1_{n-2,m}$ を画素データパルス $DP_{1,1} \sim DP_{1,m}$ 、 $DP_{3,1} \sim DP_{3,m}$ 、 $\dots$ 、 $DP_{n-2,1} \sim DP_{n-2,m}$ に変換し、これらを1表示ライン分ずつ列電極 $D_1 \sim D_m$ に印加する。

この際、走査パルスSP及び高電圧の画素データパルスDPが印加された画素セルPCの制御放電セルC2内の列電極D及び行電極Y間において消去アドレス放電が生起され、この制御放電セルC2内に形成されていた壁電荷が消滅する。一方、走査パルスSPが印加されたものの高電圧の画素データパルスDPが印加されなかった画素セルPCの制御放電セルC2内では上記の如き消去アドレス放電は生起されないで、制御放電セルC2内には壁電荷が残留する。

#### 【0050】

上記した如く、奇数行アドレス行程 $WI_{OD}$ では、画素駆動データビット群DB1(図13に示す画素駆動データGDの第1ビット)に応じて選択的に、PDP50の奇数表示ラインに属する画素セルPC各々の制御放電セルC2内に消去アドレス放電を生起させて壁電荷を消滅させる。これにより、奇数表示ラインに属する画素セルPC各々を、仮点灯セル状態(制御放電セルC2内に壁電荷有り)、又は消灯セル状態(制御放電セルC2内に壁電荷無し)の一方に設定する。

#### 【0051】

次に、サブフィールドSF1の偶数行リセット行程 $RE_V$ では、偶数Y電極ドライバ54が、サステインパルス(後述する)に比して立ち下がり変化及び立ち上がり変化の緩やかな負極性の第1リセットパルス $RP_{Y1}$ を発生してPDP50の偶

数の行電極  $Y_2, Y_4, \dots, Y_{n-1}$  の各々に同時に印加する。この間、アドレスドライバ 55 は、正極性のリセットパルス  $RP_D$  を発生して列電極  $D_1 \sim D_n$  の各々に同時に印加する。これら第 1 リセットパルス  $RP_{Y1}$  及びリセットパルス  $RP_D$  の印加に応じて、偶数表示ラインに属する画素セル  $PC_{2,1} \sim PC_{2,m}, PC_{4,1} \sim PC_{4,m}, \dots, PC_{n-1,1} \sim PC_{n-1,m}$  各々の制御放電セル C2 内において第 1 リセット放電(書込放電)が生起される。つまり、図 5 及び図 6 に示す如き制御放電セル C2 内の行電極 Y 及び列電極 D 間において第 1 リセット放電が生起されるのである。尚、上記第 1 リセットパルス  $RP_{Y1}$  及びリセットパルス  $RP_D$  が印加されている間、奇数表示ラインに属する画素セル PC の制御放電セル C2 内で誤って放電が生起されないように、奇数 Y 電極ドライバ 53 は、正極性の電位を奇数の行電極  $Y_1, Y_3, Y_5, \dots, Y_n$  各々に印加する。更に、上記第 1 リセットパルス  $RP_{Y1}$  の印加後、偶数 Y 電極ドライバ 54 は、引き続き図 15 に示す如き正極性の第 2 リセットパルス  $RP_{Y2}$  を偶数の行電極  $Y_2, Y_4, \dots, Y_{n-1}$  の各々に同時に印加する。上記第 2 リセットパルス  $RP_{Y2}$  の印加に応じて、偶数表示ラインに属する画素セル PC 各々の制御放電セル C2 内において第 2 リセット放電(書込放電)が生起される。つまり、図 5 及び図 6 に示す如き制御放電セル C2 内の行電極 Y 及び列電極 D 間において第 2 リセット放電が生起されるのである。上述した如き第 1 リセット放電及び第 2 リセット放電により、偶数表示ラインに属する画素セル PC 各々の制御放電セル C2 内に壁電荷が形成される。

### 【0052】

上記した如く、偶数行リセット行程  $R_{EV}$  では、PDP 5.0 の偶数表示ラインに属する全ての画素セル PC 各々の制御放電セル C2 内において第 1 及び第 2 リセット放電を生起せしめて、偶数表示ラインに属する制御放電セル C2 の各々内に壁電荷を形成する。

次に、サブフィールド SF1 の偶数行アドレス行程  $WI_{EV}$  では、偶数 Y 電極ドライバ 54 が、負極性の走査パルス SP を偶数の行電極  $Y_2, Y_4, \dots, Y_{n-1}$  各々に順次印加する。この間、アドレスドライバ 55 は、このサブフィールド SF1 に対応した画素駆動データビット群 DB1 の内の偶数表示ラインに対応したものを、その論レベルに応じたパルス電圧を有する画素データパルス DP に変換

する。例えば、アドレスドライバ55は、論理レベル1の画素駆動データビットを正極性の高電圧の画素データパルスDPに変換する一方、論理レベル0の画素駆動データビットを低電圧(0ボルト)の画素データパルスDPに変換する。そして、かかる画素データパルスDPを上記走査パルスSPの印加タイミングに同期して1表示ライン分(m個)ずつ列電極 $D_1 \sim D_m$ に印加して行く。つまり、アドレスドライバ55は、偶数表示ラインに対応した画素駆動データビット $DB_{12,1} \sim DB_{12,m}$ 、 $DB_{14,1} \sim DB_{14,m}$ 、 $\dots$ 、 $DB_{1n-1,1} \sim DB_{1n-1,m}$ を画素データパルス $DP_{2,1} \sim DP_{2,m}$ 、 $DP_{4,1} \sim DP_{4,m}$ 、 $\dots$ 、 $DP_{n-1,1} \sim DP_{n-1,m}$ に変換し、これらを1表示ライン分ずつ列電極 $D_1 \sim D_m$ に印加する。この際、走査パルスSP及び高電圧の画素データパルスDPが印加された画素セルPCの制御放電セルC2内の列電極D及び行電極Y間において消去アドレス放電が生起され、この制御放電セルC2内に形成されていた壁電荷が消滅する。一方、走査パルスSPが印加されたものの高電圧の画素データパルスDPが印加されなかった画素セルPCの制御放電セルC2内では上記の如き消去アドレス放電は生起されないで、この制御放電セルC2内には壁電荷が残留する。

## 【0053】

上記した如く、偶数行アドレス行程 $WI_{EV}$ では、画素駆動データビット群 $DB_1$ (図13に示す画素駆動データGDの第1ビット)に応じて選択的に、 $PDP_{50}$ の偶数表示ラインに属する画素セルPC各々の制御放電セルC2内に消去アドレス放電を生起せしめて壁電荷を消滅させる。これにより、偶数表示ラインに属する画素セルPC各々を、仮点灯セル状態(制御放電セルC2内に壁電荷有り)、又は消灯セル状態(制御放電セルC2内に壁電荷無し)の一方に設定する。

## 【0054】

又、サブフィールド $SF_2 \sim SF_{15}$ 各々のアドレス行程 $WI$ では、奇数Y電極ドライバ53及び偶数X電極ドライバ54が、図16に示す如く負極性の走査パルスSPを行電極 $Y_1$ 、 $Y_2$ 、 $Y_3$ 、 $\dots$ 、 $Y_{n-1}$ 各々に順次印加する。この間、アドレスドライバ55は、各サブフィールド $SF(j)$ [jは2～15の自然数]に対応した画素駆動データビット群 $DB(j)$ における各画素駆動データビットを、その論レベルに対応したパルス電圧を有する画素データパルスDPに変換する

。例えば、アドレスドライバ55は、論理レベル1の画素駆動データビットを正極性の高電圧の画素データパルスDPに変換する一方、論理レベル0の画素駆動データビットを低電圧(0ボルト)の画素データパルスDPに変換する。そして、かかる画素データパルスDPを上記走査パルスSPの印加タイミングに同期して1表示ライン分(m個)ずつ列電極 $D_1 \sim D_m$ に印加して行く。つまり、アドレスドライバ55は、画素駆動データビット $DB(j)_{1,1} \sim DB(j)_{1,m}$ 、 $DB(j)_{2,1} \sim DB(j)_{2,m}$ 、 $\dots$ 、 $DB(j)_{n-1,1} \sim DB(j)_{n-1,m}$ を画素データパルス $DP_{1,1} \sim DP_{1,m}$ 、 $DP_{2,1} \sim DP_{2,m}$ 、 $\dots$ 、 $DP_{n-1,1} \sim DP_{n-1,m}$ に変換し、これらを1表示ライン分ずつ列電極 $D_1 \sim D_m$ に印加する。この際、走査パルスSP及び高電圧の画素データパルスDPが印加された画素セルPCの制御放電セルC2内の列電極D及び行電極Y間において消去アドレス放電が生起され、この制御放電セルC2内に形成されていた壁電荷が消滅する。一方、走査パルスSPが印加されたものの高電圧の画素データパルスDPが印加されなかった画素セルPCの制御放電セルC2内には上記の如き消去アドレス放電は生起されない。よって、壁電荷が形成されていた制御放電セルC2はその壁電荷形成状態を維持し、一方、壁電荷が存在しない制御放電セルC2は壁電荷の存在しない状態を維持する。

## 【0055】

上記した如く、サブフィールドSF2～SF15各々のアドレス行程WIでは、このアドレス行程WIが属するサブフィールドSF(j)に対応した画素駆動データGD中の第jビットの論理レベルに応じて選択的に、画素セルPC各々の制御放電セルC2内に存在する壁電荷を消滅させる。これにより、PDP50の画素セルPC各々を、仮点灯セル状態(制御放電セルC2内に壁電荷有り)、又は消灯セル状態(制御放電セルC2内に壁電荷無し)の一方に設定する。

## 【0056】

次に、サブフィールドSF1～SF15各々の選択消去補助行程CAでは、奇数X電極ドライバ51、偶数X電極ドライバ52、奇数Y電極ドライバ53、及び偶数Y電極ドライバ54が、図15又は図16に示す如き正極性のキャンセルパルスCPを行電極 $X_2 \sim X_n$ 及び $Y_1 \sim Y_n$ 各々に一斉に印加する。かかるキャンセルパルスCPの印加により、アドレス行程(WI<sub>OD</sub>、WI<sub>EV</sub>、WI)において正

しく消去アドレス放電を生起させることが出来なかった制御放電セルC2のみに消去放電を生起させ、壁電荷を確実に消去させる。つまり、消去アドレス放電が正しく生起された場合には、制御放電セルC2内には図17(a)に示すように、行電極X及びY各々の近傍に負極性の電荷が形成される。この際、例え、行電極X又はYの一方に正極性の電圧が印加されても放電は生起されないで、このセルは消灯セル状態である。ところが、正しく消去アドレス放電が生起されないで、図17(b)に示す如く行電極X及びY各々の近傍に正極性の電荷が形成される場合がある。この際、行電極X又はYの一方に正極性の電圧が印加されるとこのセルは放電してしまう。つまり、アドレス行程において消灯セル状態に設定したつもりが、誤って仮点灯セル状態に設定されてしまうのである。

## 【0057】

そこで、選択消去補助行程CAでは、行電極X及びYの双方に正極性のキャンセルパルスCPを印加することにより、図17(b)に示す如き誤った電荷形成状態にある制御放電セルC2のみに消去放電を生起させて、これを図17(a)に示す如き正しい電荷形成状態、つまり消灯セル状態に推移させるのである。

次に、サブフィールドSF2～SF15各々のプライミング拡張行程PIでは、偶数X電極ドライバ52が、図15又は図16に示す如き正極性のプライミングパルスPP<sub>XE</sub>を偶数の行電極X<sub>2</sub>、X<sub>4</sub>、……、X<sub>n-1</sub>各々に印加する。又、かかるプライミング拡張行程PIでは、偶数Y電極ドライバ54が正極性のプライミングパルスPP<sub>YE</sub>を断続的に繰り返し偶数の行電極Y<sub>2</sub>、Y<sub>4</sub>、……、Y<sub>n-2</sub>及びY<sub>n</sub>各々に印加する。又、プライミング拡張行程PIでは、奇数Y電極ドライバ53が正極性のプライミングパルスPP<sub>Y0</sub>を奇数の行電極Y<sub>1</sub>、Y<sub>3</sub>、……、Y<sub>n</sub>各々に印加する。更に、上記プライミングパルスPP<sub>Y0</sub>と同一タイミングにて、奇数X電極ドライバ51が正極性のプライミングパルスPP<sub>X0</sub>を奇数の行電極X<sub>3</sub>、X<sub>5</sub>、……、X<sub>n</sub>各々に印加する。尚、図15又は図16に示すように、奇数の行電極X及びYに印加されるプライミングパルスPP<sub>X0</sub>及びPP<sub>Y0</sub>の印加タイミングと、偶数の行電極X及びYに印加されるプライミングパルスPP<sub>XE</sub>及びPP<sub>YE</sub>の印加タイミングとは互いにずれている。ここで、上記プライミングパルスPP<sub>X0</sub>、PP<sub>XE</sub>、PP<sub>Y0</sub>、又はPP<sub>YE</sub>が印加される度に、上述した如き仮点灯

セル状態に設定されている画素セルPCの制御放電セルC2内における行電極X及びY間においてプライミング放電が生起される。この際、プライミング放電が生起される度に、図6に示す如き隙間 $r$ を介して表示放電セルC1側に放電が拡張し、表示放電セルC1内に壁電荷が形成される。

## 【0058】

上記した如く、プライミング拡張行程PIでは、アドレス行程( $WI_{OD}$ 、 $WI_E$ 、 $WI$ )において仮点灯セル状態に設定された制御放電セルC2に対して繰り返しプライミング放電を生起させることにより、隙間 $r$ を介して表示放電セルC1側に徐々に放電を拡張する。かかる放電の拡張により表示放電セルC1内に壁電荷が形成され、この表示放電セルC1が属する画素セルPCは点灯セル状態に設定される。一方、このプライミング放電が生起されなかった制御放電セルC2に連通している表示放電セルC1内には壁電荷の形成が為されないため、この画素セルPCは消灯セル状態を維持する。

## 【0059】

次に、サブフィールドSF2～SF15各々のサステイン行程Iでは、奇数Y電極ドライバ53が図15又は図16に示す如き正極性のサステインパルス $IP_{Y0}$ を、このサステイン行程Iの属するサブフィールドに割り当てられている回数だけ繰り返し、奇数の行電極 $Y_1$ 、 $Y_3$ 、 $Y_5$ 、 $\dots$ 、 $Y_n$ 各々に印加する。かかるサステインパルス $IP_{Y0}$ 各々と同一タイミングにて、偶数X電極ドライバ52は、正極性のサステインパルス $IP_{XE}$ をこのサステイン行程Iの属するサブフィールドに割り当てられている回数だけ繰り返し、偶数の行電極 $X_2$ 、 $X_4$ 、 $\dots$ 、 $X_{n-1}$ 各々に印加する。又、サステイン行程Iでは、奇数X電極ドライバ51が図15又は図16に示す如き正極性のサステインパルス $IP_{X0}$ をこのサステイン行程Iの属するサブフィールドに割り当てられている回数だけ繰り返し、奇数の行電極 $X_1$ 、 $X_3$ 、 $X_5$ 、 $\dots$ 、 $X_n$ 各々に印加する。更に、かかるサステイン行程Iでは、偶数Y電極ドライバ54が、正極性のサステインパルス $IP_{YE}$ をこのサステイン行程Iの属するサブフィールドに割り当てられている回数だけ繰り返し、偶数の行電極 $Y_2$ 、 $Y_4$ 、 $\dots$ 、 $Y_{n-1}$ 各々に印加する。尚、図15又は図16に示すように、上記サステインパルス $IP_{XE}$ 及び $IP_{Y0}$ と、上記サステインパルス

$I P_{X0}$  及び  $I P_{YE}$  とは、その印加タイミングが互いにずれている。上記サステインパルス  $I P_{X0}$ 、 $I P_{XE}$ 、 $I P_{Y0}$  又は  $I P_{YE}$  が印加される度に、点灯セル状態に設定された画素セル  $P C$  の表示放電セル  $C 1$  内の透明電極  $X a$  及び  $Y a$  間においてサステイン放電が生起される。この際、かかるサステイン放電にて発生した紫外線により、図 6 に示す如く表示放電セル  $C 1$  に形成されている蛍光体層 1 6 (赤色蛍光層、緑色蛍光層、青色蛍光層) が励起し、その蛍光色に対応した光が前面ガラス基板 1 0 を介して放射される。つまり、このサステイン行程  $I$  の属するサブフィールドに割り当てられている回数分だけ、サステイン放電に伴う発光が繰り返し生起されるのである。

【 0 0 6 0 】

上記した如く、サステイン行程  $I$  では、直前のアドレス行程 ( $W I_{OD}$ 、 $W I_{EV}$ 、 $W I$ ) において点灯セル状態に設定された画素セル  $P C$  のみを、サブフィールドに割り当てられている回数分だけ繰り返し発光させる。

次に、サブフィールド  $S F 1 \sim S F 15$  各々の電荷移動行程  $M R$  では、奇数  $Y$  電極ドライバ 5 3 が正極性の電荷移動パルス  $M P_{Y0}$  を断続的に繰り返し奇数の行電極  $Y_1$ 、 $Y_3$ 、 $\dots$ 、 $Y_n$  各々に印加する。又、電荷移動行程  $M R$  では、奇数  $X$  電極ドライバ 5 1 が上記電荷移動パルス  $M P_{Y0}$  と同一タイミングにて正極性の電荷移動パルス  $M P_{X0}$  を断続的に繰り返し奇数の行電極  $X_3$ 、 $X_5$ 、 $\dots$ 、 $X_n$  各々に印加する。更に、電荷移動行程  $M R$  では、偶数  $X$  電極ドライバ 5 2 が正極性の電荷移動パルス  $M P_{XE}$  を偶数の行電極  $X_2$ 、 $X_4$ 、 $\dots$ 、 $X_{n-1}$  各々に印加すると共に、偶数  $Y$  電極ドライバ 5 4 が上記電荷移動パルス  $M P_{XE}$  と同一タイミングにて正極性の電荷移動パルス  $M P_{YE}$  を偶数の行電極  $Y_2$ 、 $Y_4$ 、 $\dots$ 、 $Y_{n-1}$  各々に印加する。これら電荷移動パルス  $M P_{X0}$ 、 $M P_{Y0}$ 、 $M P_{XE}$  又は  $M P_{YE}$  が印加される度に、直前のサステイン行程  $I$  においてサステイン放電の生起された画素セル  $P C$  の制御放電セル  $C 2$  内において放電が生起される。かかる放電により、この制御放電セル  $C 2$  と対を為す表示放電セル  $C 1$  に形成されていた壁電荷が図 6 に示す如き隙間  $r$  を介して制御放電セル  $C 2$  に移動する。

【 0 0 6 1 】

このように、電荷移動行程  $M R$  では、直前のサステイン行程  $I$  においてサステ



イン放電の生起された画素セルPCの制御放電セルC2を放電させることにより、表示放電セルC1内に形成されていた壁電荷を制御放電セルC2に移動させる。

そして、最後尾のサブフィールドSF15の消去行程Eでは、奇数X電極ドライバ51、偶数X電極ドライバ52、奇数Y電極ドライバ53、偶数Y電極ドライバ54及びアドレスドライバ55が正極性の消去パルスを用いて全ての行電極X及びYに印加する(図示せず)。消去パルスの印加に応じて、壁電荷の残留している全ての制御放電セルC2内で消去放電が生起され、この壁電荷が消去される。

#### 【0062】

ここで、図13～図16に示す如き選択消去アドレス法を適用した駆動によれば、サブフィールドSF1～SF15の中で、画素セルPCを消灯セル状態から点灯セル状態に推移させることが可能な機会は、サブフィールドSF1の奇数行リセット行程R<sub>OD</sub>及び偶数行リセット行程R<sub>EV</sub>だけである。つまり、サブフィールドSF1～SF15の内の1のサブフィールドで消去アドレス放電が生起され、一旦、画素セルPCが消灯セル状態に設定されると、それ以降のサブフィールドにてこの画素セルPCが点灯セル状態に復帰することはない。従って、図13に示す如き16通りの画素駆動データGDに基づく駆動によれば、表現すべき輝度に対応した分だけ連続したサブフィールド各々において各画素セルPCが点灯セル状態に設定される。そして、消去アドレス放電(黒丸にて示す)が生起されるまでの間、各サブフィールドのサステイン行程Iにおいて連続してサステイン放電発光(白丸にて示す)が為されるのである。

#### 【0063】

上述した如き駆動により、1フィールド期間内において生起された放電の総数に対応した輝度が視覚される。すなわち、図13に示す如き第1～第16階調駆動による16種類の発光パターンによれば、白丸にて示されるサブフィールドにおいて生起されたサステイン放電の合計回数に対応した16階調分の中間輝度が表現されるのである。

#### 【0064】

この際、上述した如き選択消去アドレス法を適用した駆動時においても、表示

画像に関与するサステイン放電を表示放電セルC 1にて生起させ、表示画像には関与しない発光を伴うリセット放電、プライミング放電及びアドレス放電を制御放電セルC 2にて生起させている。よって、リセット放電、プライミング放電及びアドレス放電に伴う放電光は制御放電セルC 2のみに形成されている嵩上げ誘電体層1 2にて遮断されるので、表示画像のコントラスト、特に、暗コントラストを高めることが可能になる。

#### 【0065】

更に、選択消去アドレス法を適用した駆動時においても、プライミング放電を制御放電セルC 2内の透明電極X a及びY a間で生起させ、リセット放電及びアドレス放電を列電極D及び透明電極Y a間で生起させるようにしている。よって、プライミング放電は、制御放電セルC 2と対を為す表示放電セルC 1側に近い位置で生起されるので、この制御放電セルC 2から表示放電セルC 1への放電拡張が容易に為される。一方、リセット放電及びアドレス放電は、プライミング放電の生起される場所よりも制御放電セルC 2と対を為す表示放電セルC 1から離れた位置で生起されるので、これらリセット放電及びアドレス放電に伴う紫外線が表示放電セルC 1側に漏れ込む量が低減し、暗コントラストの低下が抑制される。

#### 【図面の簡単な説明】

#### 【図1】

サブフィールド法に基づくPDPの発光駆動フォーマットの一例を示す図である。

#### 【図2】

従来の画素データの変換テーブルによって得られる画素駆動データGDと、画素駆動データGDに基づく発光駆動パターンを示す図である。

#### 【図3】

図1に示される発光駆動フォーマットに従って、PDPの行電極及び列電極に印加される各種駆動パルスの印加タイミングを示す図である。

#### 【図4】

プラズマディスプレイ装置の概略構成を示す図である。

【図5】

PDP50の構造の一部を表示面側から眺めた平面図である。

【図6】

図5に示されるV1-V1線上でのPDP50の断面を示す図である。

【図7】

図5に示されるV2-V2線上でのPDP50の断面を示す図である。

【図8】

図5に示されるW1-W1線上でのPDP50の断面を示す図である。

【図9】

図4に示されるプラズマディスプレイ装置における画素データ変換テーブルによって得られる画素駆動データGDと、画素駆動データGDに基づく発光駆動パターンを示す図である。

【図10】

図4に示されるプラズマディスプレイ装置における発光駆動フォーマットの一例を示す図である。

【図11】

図10に示す発光駆動フォーマットに従って先頭のサブフィールドSF1にてPDP50に印加する各種駆動パルスとその印加タイミングを示す図である。

【図12】

図10に示す発光駆動フォーマットに従ってサブフィールドSF2～SF15各々にてPDP50に印加する各種駆動パルスとその印加タイミングを示す図である。

【図13】

図4に示されるプラズマディスプレイ装置における画素データ変換テーブルによって得られる画素駆動データGDと、画素駆動データGDに基づく発光駆動パターンの他の一例を示す図である。

【図14】

図4に示されるプラズマディスプレイ装置における発光駆動フォーマットの他の一例を示す図である。

【図 1 5】

図 1 4 に示す発光駆動フォーマットに従って先頭のサブフィールド S F 1 にて P D P 5 0 に印加する各種駆動パルスとその印加タイミングを示す図である。

【図 1 6】

図 1 4 に示す発光駆動フォーマットに従ってサブフィールド S F 2 ～ S F 1 5 各々にて P D P 5 0 に印加する各種駆動パルスとその印加タイミングを示す図である。

【図 1 7】

消去アドレス放電が正しく生起された場合、正しく生起されなかった場合各々での電荷形成状態を模式的に表す図である。

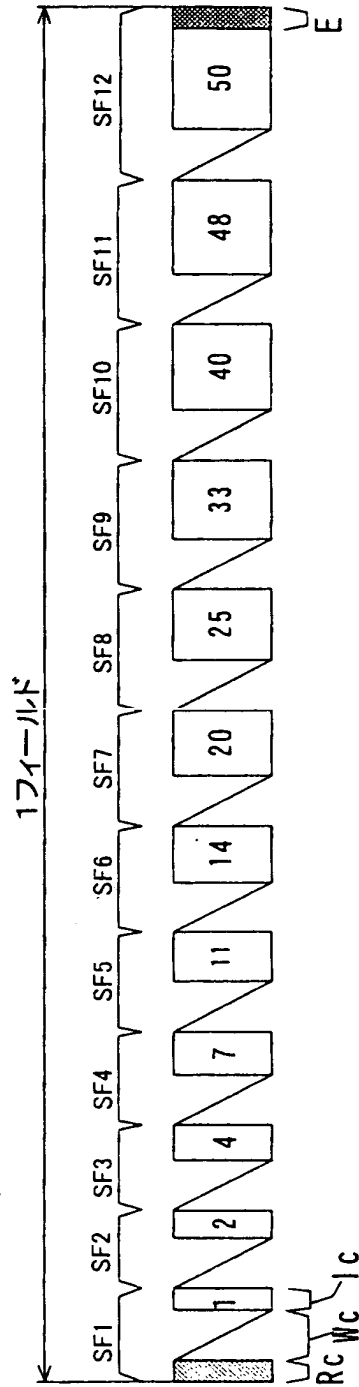
【符号の説明】

- 5 0 P D P
- 5 1 奇数 X 電極ドライバ
- 5 2 偶数 X 電極ドライバ
- 5 3 奇数 Y 電極ドライバ
- 5 4 偶数 Y 電極ドライバ
- 5 5 アドレスドライバ
- 5 6 駆動制御回路
- C 1 表示放電セル
- C 2 制御放電セル
- P C 画素セル

【書類名】

図面

【図1】

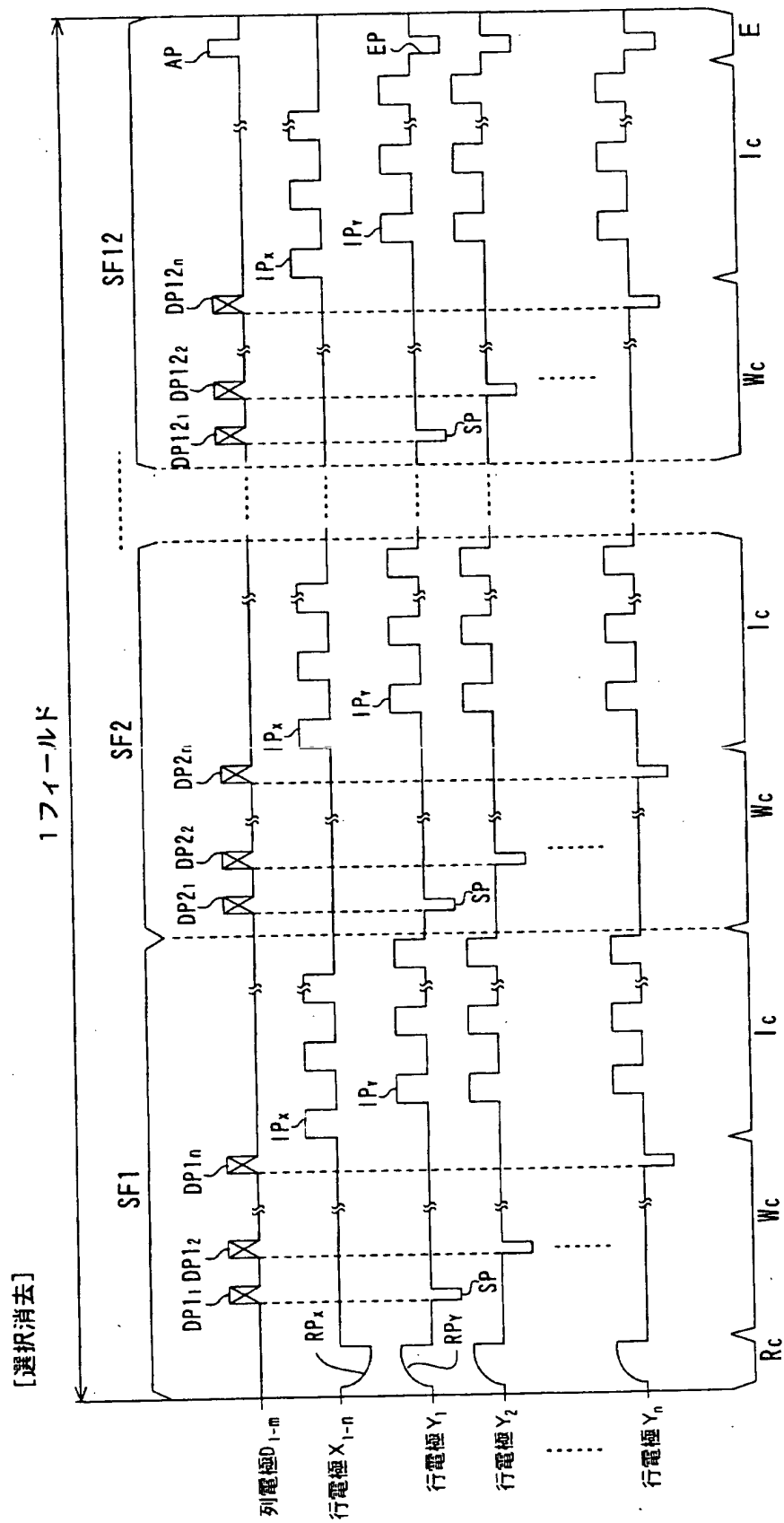


【図2】

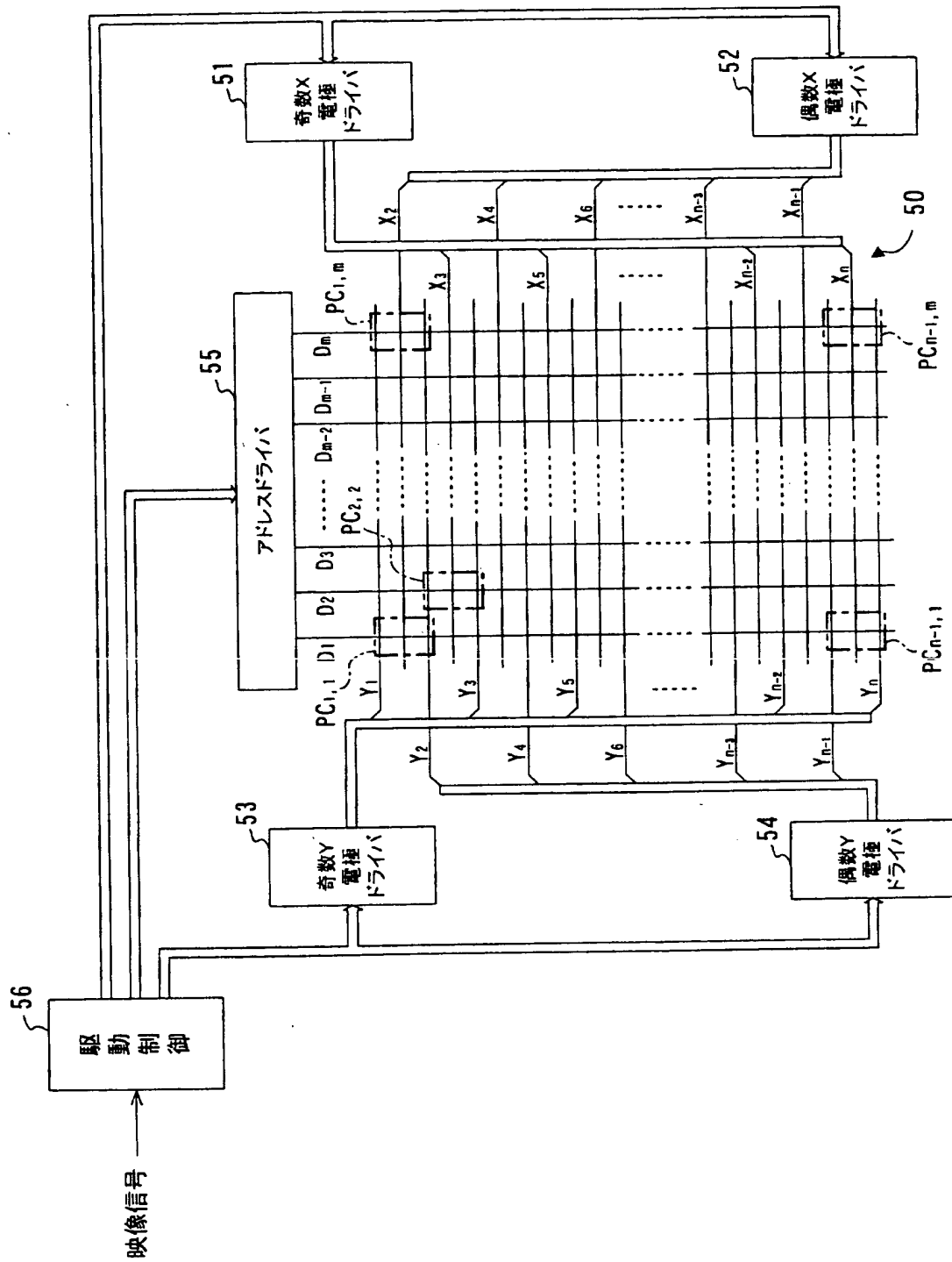
●:選択消去放電  
○:発光SF

階調	変換テーブル												発光駆動パターン												表示輝度	
	GD																									
	PDs																									
1	0000	1	0	0	0	0	0	0	0	0	0	0	0	●											0	
2	0001	0	1	0	0	0	0	0	0	0	0	0	0	○	●											1
3	0010	0	0	1	0	0	0	0	0	0	0	0	0	○	○	●										3
4	0011	0	0	0	1	0	0	0	0	0	0	0	0	○	○	○	●									7
5	0100	0	0	0	0	1	0	0	0	0	0	0	0	○	○	○	○	●								14
6	0101	0	0	0	0	0	1	0	0	0	0	0	0	○	○	○	○	○	●							25
7	0110	0	0	0	0	0	0	1	0	0	0	0	0	○	○	○	○	○	○	●						39
8	0111	0	0	0	0	0	0	0	1	0	0	0	0	○	○	○	○	○	○	○	●					59
9	1000	0	0	0	0	0	0	0	0	1	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	84
10	1001	0	0	0	0	0	0	0	0	0	1	0	0	○	○	○	○	○	○	○	○	○	○	○	○	117
11	1010	0	0	0	0	0	0	0	0	0	0	1	0	○	○	○	○	○	○	○	○	○	○	○	○	157
12	1011	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	○	○	205
13	1100	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	255

【図3】

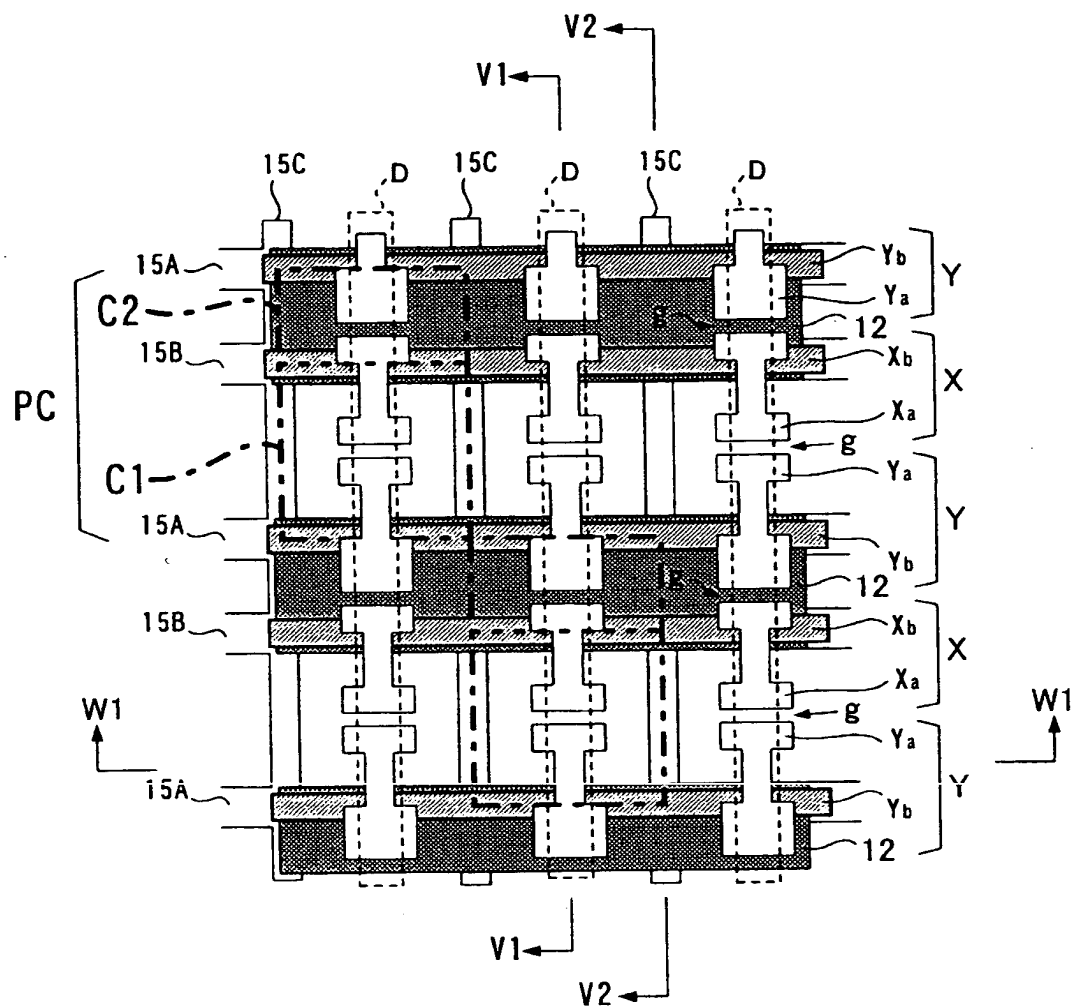


【図4】



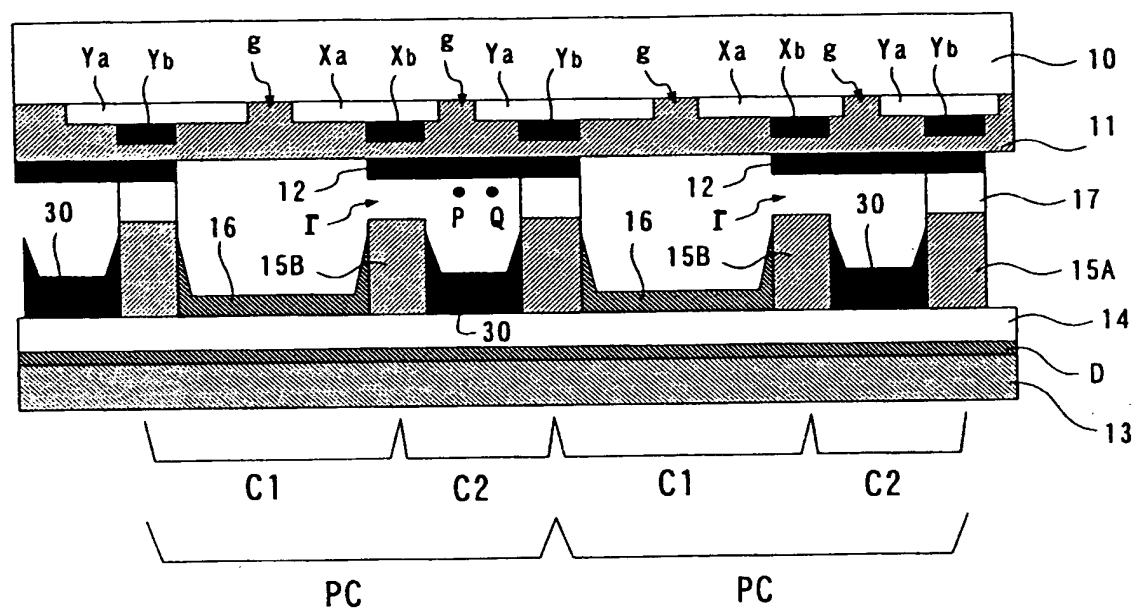


【图 5】



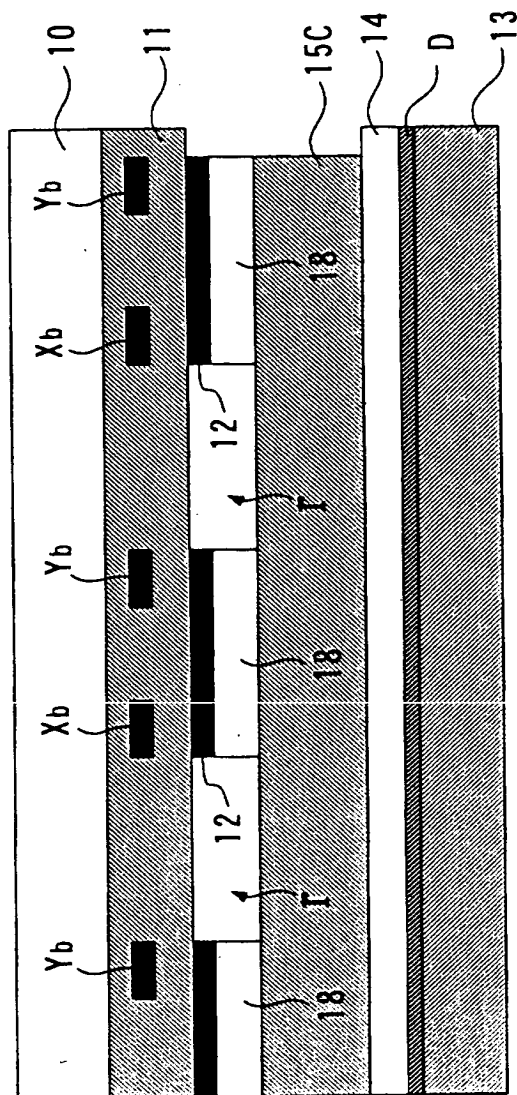
【図 6】

V1-V1



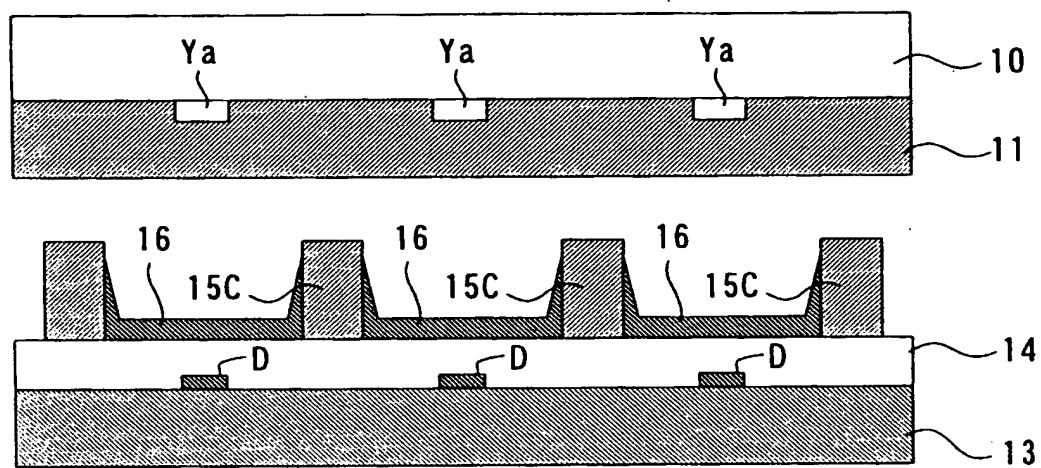
【図 7】

V2-V2



【図 8】

W1-W1



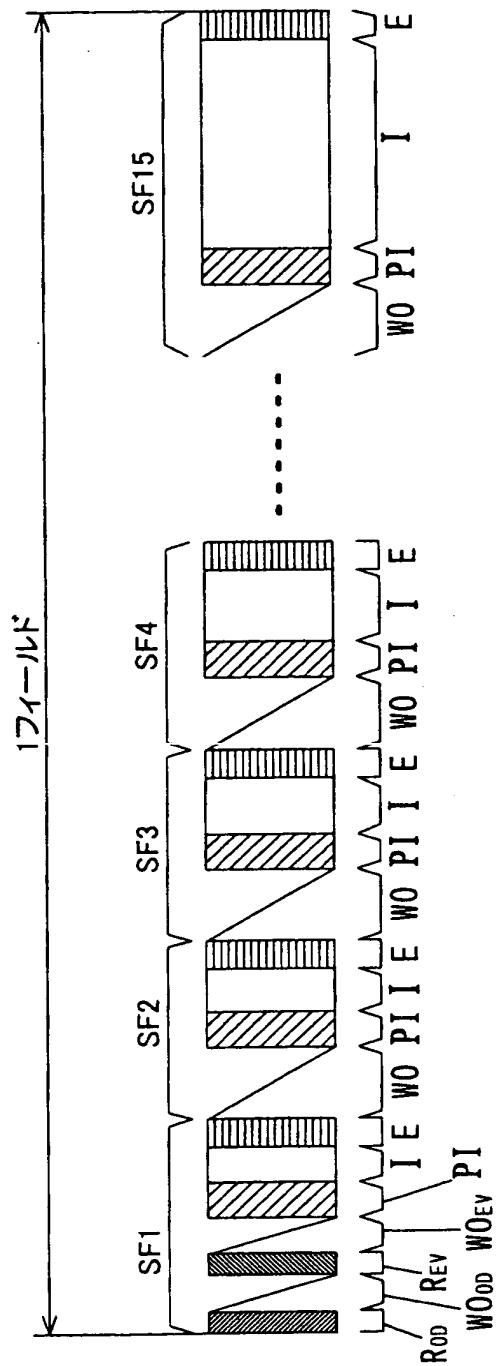
【図9】

階調 駆動	変換テーブル															発光パターン															
	PDS	GD															SF 1	SF 2	SF 3	SF 4	SF 5	SF 6	SF 7	SF 8	SF 9	SF 10	SF 11	SF 12	SF 13	SF 14	SF 15
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15															
第 1	0000	0	0	0	0	0	0	0	0	0	0	0	0	0	0																
第 2	0001	1	0	0	0	0	0	0	0	0	0	0	0	0	0	◎															
第 3	0010	1	1	0	0	0	0	0	0	0	0	0	0	0	0	◎	◎														
第 4	0011	1	1	1	0	0	0	0	0	0	0	0	0	0	0	◎	◎	◎													
第 5	0100	1	1	1	1	0	0	0	0	0	0	0	0	0	0	◎	◎	◎	◎												
第 6	0101	1	1	1	1	1	0	0	0	0	0	0	0	0	0	◎	◎	◎	◎	◎											
第 7	0110	1	1	1	1	1	1	0	0	0	0	0	0	0	0	◎	◎	◎	◎	◎	◎										
第 8	0111	1	1	1	1	1	1	1	0	0	0	0	0	0	0	◎	◎	◎	◎	◎	◎	◎									
第 9	1000	1	1	1	1	1	1	1	0	0	0	0	0	0	0	◎	◎	◎	◎	◎	◎	◎	◎								
第10	1001	1	1	1	1	1	1	1	1	0	0	0	0	0	0	◎	◎	◎	◎	◎	◎	◎	◎	◎							
第11	1010	1	1	1	1	1	1	1	1	1	0	0	0	0	0	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎						
第12	1011	1	1	1	1	1	1	1	1	1	1	0	0	0	0	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎					
第13	1100	1	1	1	1	1	1	1	1	1	1	1	0	0	0	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎				
第14	1101	1	1	1	1	1	1	1	1	1	1	1	1	0	0	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎			
第15	1110	1	1	1	1	1	1	1	1	1	1	1	1	1	0	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎		
第16	1111	1	1	1	1	1	1	1	1	1	1	1	1	1	1	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	

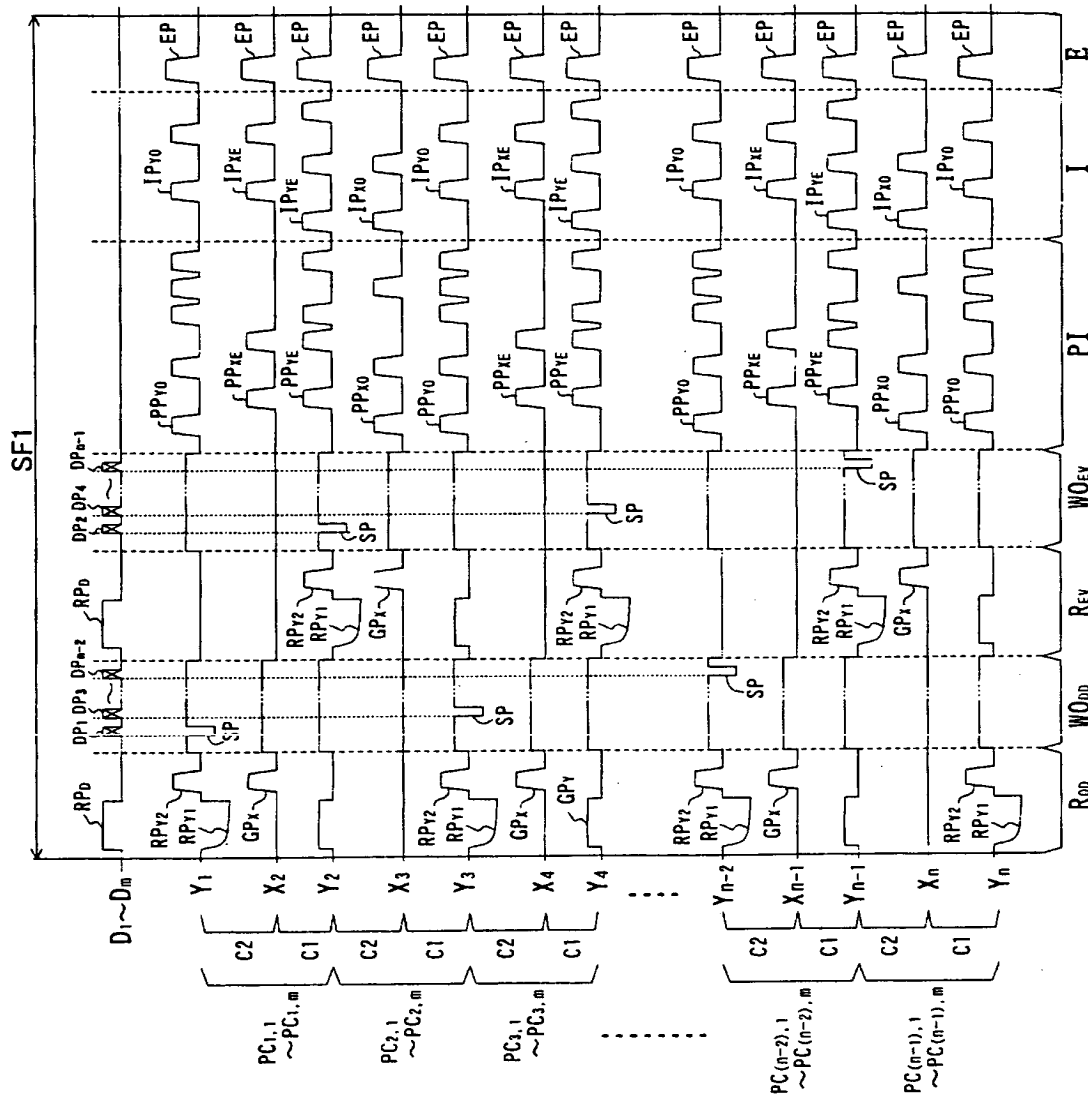
\*:0又は1

◎:書込アドレス放電+サステイン放電発光

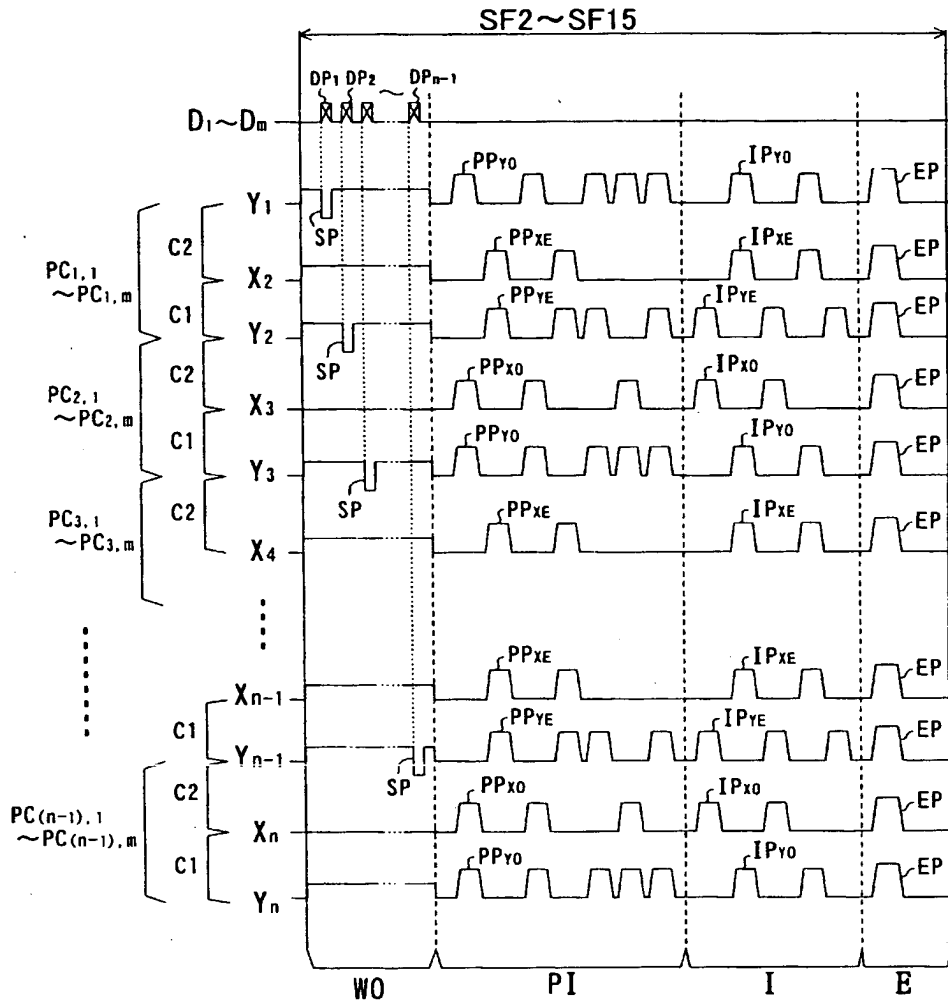
【図 10】



【图 1 1】



【図 12】



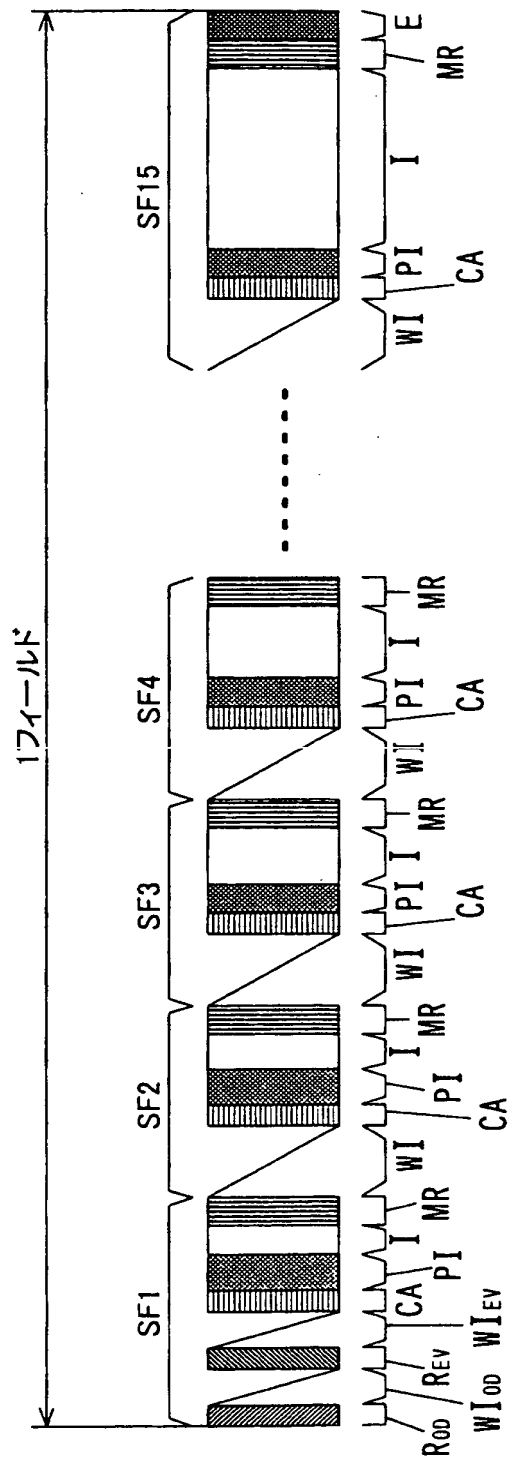


【図 13】

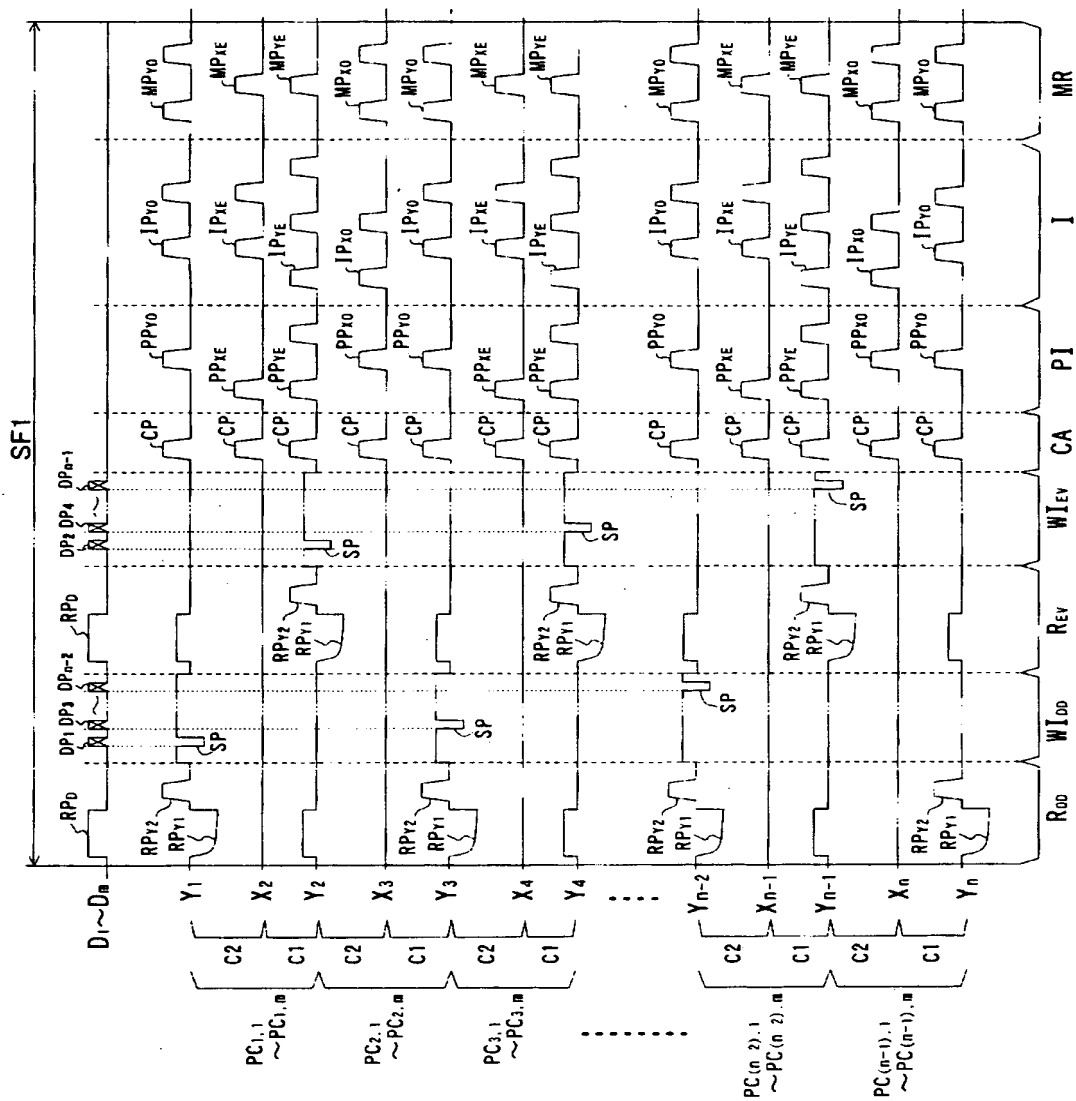
階調 駆動	変換テーブル															発光パターン																
	PDS	GD															SF 1	SF 2	SF 3	SF 4	SF 5	SF 6	SF 7	SF 8	SF 9	SF 10	SF 11	SF 12	SF 13	SF 14	SF 15	
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15																
第 1	0000	1	0	0	0	0	0	0	0	0	0	0	0	0	0	●																
第 2	0001	0	1	0	0	0	0	0	0	0	0	0	0	0	0	○	●															
第 3	0010	0	0	1	0	0	0	0	0	0	0	0	0	0	0	○	○	●														
第 4	0011	0	0	0	1	0	0	0	0	0	0	0	0	0	0	○	○	○	●													
第 5	0100	0	0	0	0	1	0	0	0	0	0	0	0	0	0	○	○	○	○	●												
第 6	0101	0	0	0	0	0	1	0	0	0	0	0	0	0	0	○	○	○	○	○	●											
第 7	0110	0	0	0	0	0	0	1	0	0	0	0	0	0	0	○	○	○	○	○	○	●										
第 8	0111	0	0	0	0	0	0	0	1	0	0	0	0	0	0	○	○	○	○	○	○	○	●									
第 9	1000	0	0	0	0	0	0	0	0	1	0	0	0	0	0	○	○	○	○	○	○	○	○	●								
第 10	1001	0	0	0	0	0	0	0	0	0	1	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
第 11	1010	0	0	0	0	0	0	0	0	0	0	1	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
第 12	1011	0	0	0	0	0	0	0	0	0	0	0	1	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
第 13	1100	0	0	0	0	0	0	0	0	0	0	0	0	1	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
第 14	1101	0	0	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
第 15	1110	0	0	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
第 16	1111	0	0	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

● : 消去アドレス放電      ○ : サステイン放電発光

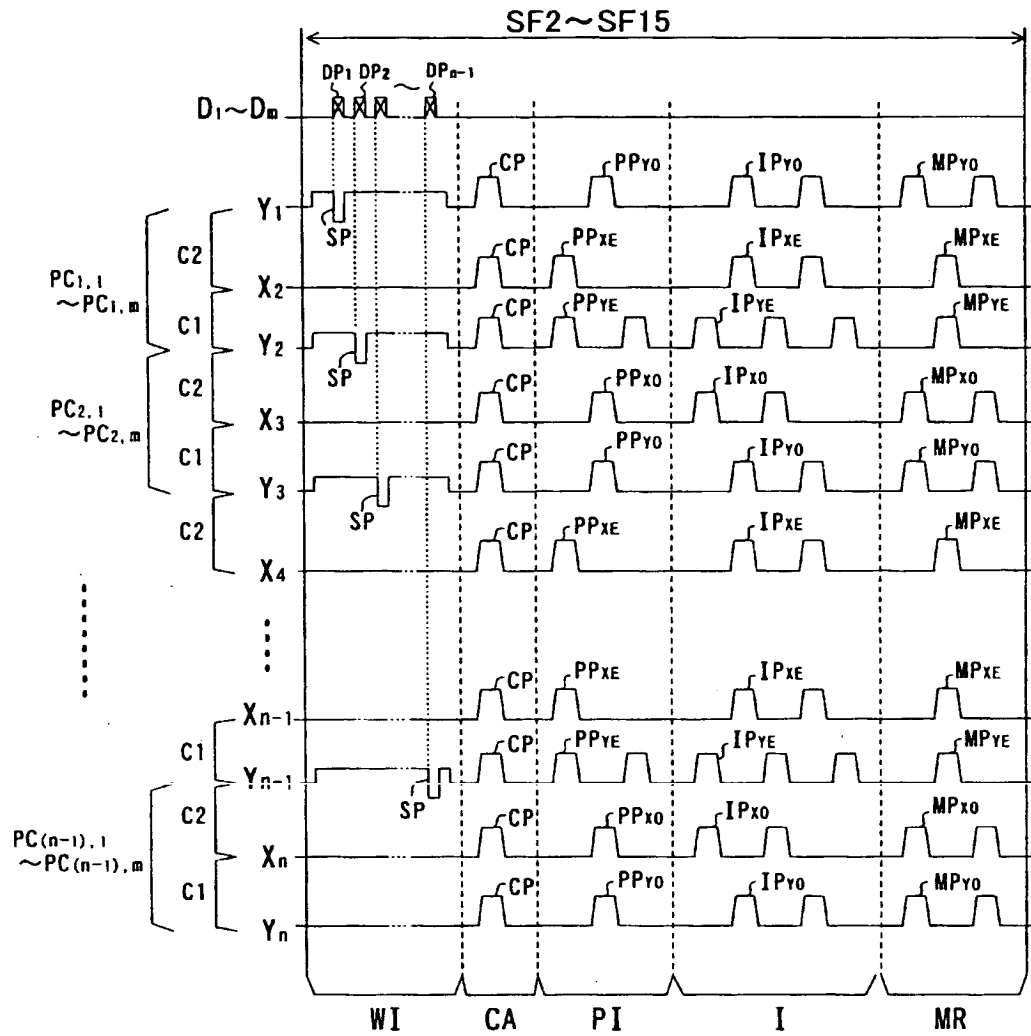
【図14】



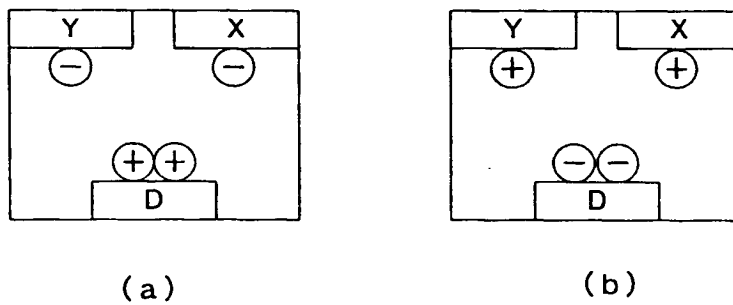
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【目的】 暗コントラストを向上させることが可能な表示装置及び表示パネルの駆動方法を提供することを目的とする。

【解決手段】 複数の行電極対及び複数の列電極の各交差部に、行電極対を為す行電極各々が放電空間内において所定の放電間隙を介して対向して配置されている部分を含む第1放電セルと、光吸収層を備えかつ行電極対における一方の行電極及びこの行電極対に隣接する行電極対の一方の行電極各々が互いに放電空間内において所定の放電間隙を介して対向して配置されている部分を含む第2放電セルとからなる単位発光領域が形成されている表示パネルを駆動するにあたり、入力映像信号に対応した画素データパルスを列電極各々に印加しつつ第2放電セル内の行電極各々の内の第1放電セルまでの距離が大なる方の行電極に走査パルスを印加することにより第2放電セル内においてアドレス放電を生起せしめて第2放電セルを点灯セル状態及び消灯セル状態のいずれか一方に設定する。かかる構成によれば、アドレス放電は、第2放電セル内における比較的第1放電セルから離れた場所で生起されるので、アドレス放電に伴う紫外線が第1放電セルに漏れ込む量が低減し、暗コントラストの低下が抑制される。

【選択図】 図4

【書類名】 手続補正書

【整理番号】 57P0163

【提出日】 平成14年10月 7日

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2002-292850

【補正をする者】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【補正をする者】

【識別番号】 398050283

【氏名又は名称】 静岡パイオニア株式会社

【代理人】

【識別番号】 100079119

【弁理士】

【氏名又は名称】 藤村 元彦

【手続補正 1】

【補正対象書類名】 特許願

【補正対象項目名】 発明者

【補正方法】 変更

【補正の内容】

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオニア株式会社 甲府事業所内

【氏名】 矢作 和男

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオニア株式会社 甲府事業所内

【氏名】 北川 満志

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオ  
ニア株式会社 甲府事業所内

【氏名】 三枝 信彦

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオ  
ニア株式会社 甲府事業所内

【氏名】 岩岡 繁

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオ  
ニア株式会社 甲府事業所内

【氏名】 徳永 勉

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア  
株式会社内

【氏名】 鈴江 亮

【その他】 タイプミスにより、特許願の発明者住所を誤記した

ため、補正

いたします。

【プルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [000005016]

1. 変更年月日 1990年 8月31日  
[変更理由] 新規登録  
住 所 東京都目黒区目黒1丁目4番1号  
氏 名 パイオニア株式会社



出 願 人 履 歴 情 報

識別番号 [398050283]

1. 変更年月日 1998年 7月16日  
[変更理由] 新規登録  
住 所 静岡県袋井市鷺巣字西ノ谷15の1  
氏 名 静岡パイオニア株式会社
2. 変更年月日 2003年 4月10日  
[変更理由] 名称変更  
住 所 静岡県袋井市鷺巣字西ノ谷15の1  
氏 名 パイオニア・ディスプレイ・プロダクツ株式会社